

## Procedimiento Novedoso para el Diseño del Circuito Amortiguador RCD (Snubber RCD) y Deducción Matemática de las Ecuaciones

**Gabriel E. Mejía, Nicolás Muñoz, y Juan B. Cano**

Universidad de Antioquia, Fac. de Ingeniería, Depto Ing. Eléctrica, Grupo de Manejo Eficiente de la Energía – GIMEL, Calle 67 No. 53-108, Oficina 19-437, Medellín, Colombia  
(e-mail: gemejia@gmail.com, nicolas.munoz@udea.edu.co, jbcano@gmail.com)

*Recibido Jul. 31, 2014; Aceptado Oct. 21, 2014; Versión final recibida Oct. 27, 2014*

---

### Resumen

Este artículo propone un procedimiento novedoso para el diseño del amortiguador RCD (Snubber RCD) en circuitos electrónicos de potencia con el objetivo de reducir el voltaje máximo (peak) transitorio en el apagado de los interruptores de potencia. El procedimiento incluye un método para la determinación de los elementos parásitos en el circuito de conmutación y la deducción matemática de las ecuaciones de diseño. El procedimiento propuesto se constituye en una herramienta útil para el análisis y el diseño del amortiguador RCD, aplicados en la mayoría de los circuitos electrónicos de potencia. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador y de la resistencia del amortiguador RCD en función de las reactancias parásitas del circuito implementado y del voltaje máximo de operación del interruptor, haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental. El procedimiento y las ecuaciones de diseño son verificados en el laboratorio, corroborando la coherencia del análisis teórico con los resultados experimentales.

*Palabras clave: amortiguador RCD, reactancias parásitas, pico máximo de voltaje, procedimiento de diseño, deducción matemática*

## Novel Procedure for the Design of RCD Snubbers and Deduction of the Mathematical Equations

### Abstract

This paper proposes a new procedure for the design of snubber RCD in power electronic circuits to reduce the peak transient voltage when the power switch is turned off. The procedure involves a method for the determination of parasitic elements in the switching circuit and the mathematical deduction of design equations. The proposed procedure is a useful tool for the analysis and design of snubber RCD circuits, used in the majority of power electronic circuits. The design equations obtained in this work allow the theoretical calculation of the value of the capacitor and of the resistance of the snubber RCD based on the parasitic reactances of the implemented circuit and the maximum operating voltage of the switch, allowing the verification through simulation of the dynamic performance of the circuit before the experimental implementation. The procedure and the design equations are verified in the laboratory, corroborating the consistency of the theoretical analysis with the experimental results.

*Keywords: snubber RCD, parasitic reactances, voltage spikes, procedure of the design, mathematical deduction*

## INTRODUCCIÓN

Los circuitos electrónicos de potencia funcionan con base en interruptores como IGBTs, MOSFETs, BJTs, entre otros. Para una operación ideal, los interruptores de potencia deben conmutar entre las regiones de corte (voltaje alto y corriente baja) y de saturación (voltaje bajo y corriente alta). Sin embargo, en la práctica, el cambio entre las regiones de corte y saturación implica atravesar la región activa, donde la corriente y el voltaje del interruptor son altos. Las pérdidas de potencia asociadas a la conmutación están relacionadas con el tiempo que permanece el interruptor en la región activa y la forma en la que se realiza la conmutación. La conmutación de los interruptores de potencia puede realizarse de forma dura o suave. La conmutación dura se presenta cuando el interruptor no dispone de circuitos resonantes que ayudan a la conmutación. En la conmutación dura, el voltaje colector-emisor ( $v_{ce}$ ) y la corriente de colector ( $i_c$ ) tienen magnitudes altas simultáneamente, incrementando las pérdidas de potencia, el estrés eléctrico y el calentamiento del interruptor, y limitando la frecuencia máxima de conmutación en el dispositivo (Li et al., 2010). Además de los problemas causados por la conmutación dura, la presencia inevitable de inductancias parasitas en el circuito de conmutación produce sobre-picos y oscilaciones de alta frecuencia en el voltaje colector emisor ( $v_{ce}$ ) y en la corriente del colector ( $i_c$ ), aumentando las pérdidas de potencia en la conmutación y causando interferencias electromagnéticas en otras partes del sistema (EMI, Electromagnetic interference) (Isobe et al., 2014; Ranstad y Nee, 2011; Gallego et al., 2014).

La conmutación suave se presenta cuando se conectan elementos reactivos en serie o en paralelo con el interruptor de potencia, amortiguando el voltaje  $v_{ce}$  o la corriente  $i_c$  durante la conmutación (Li, Chung, y Sung, 2010). La conmutación suave en el apagado del interruptor se puede lograr con el amortiguador RCD, reduciendo los efectos de la conmutación dura y de la inductancia parasita. El amortiguador RCD es un circuito que permite absorber la energía proveniente de las inductancias parasitas del circuito de conmutación, evitando que se disipe en el interruptor de potencia. Además, el amortiguador RCD permite reducir los picos del voltaje  $v_{ce}$  en el interruptor de potencia y aumentar la frecuencia de conmutación, disminuyendo el tamaño y el costo de los interruptores de potencia y de los disipadores de calor (Zhang et al., 2011). Algunas de las aplicaciones donde se usa el amortiguador RCD son: convertidores AC-DC (Mahesh y Panda, 2011), convertidores DC-DC (Abramovitz et al., 2013), entre otras (Cetin y Ermis; 2009; De y Ramnarayanan 2011).

Desde 1972 (McMurray, 1972) reporta el estudio del amortiguador RC para circuitos de conmutación basados en tiristores, deduciendo las fórmulas de cálculo de los elementos del amortiguador en función de las pérdidas de potencia y del pico de voltaje en las terminales del tiristor. En la década de los 80', (McMurray, 1980) realizó el análisis matemático y experimental de los circuitos de amortiguación en serie y en paralelo para circuitos de conmutación basados en BJTs, concluyendo que los circuitos de amortiguación serie y paralelo actuando juntos reducen las pérdidas totales del circuito de conmutación. (Rajashekara et al., 1986) presentan las ecuaciones de diseño del circuito amortiguador RCD en función del tiempo de apagado del interruptor, la corriente de carga y el voltaje de alimentación aplicados a puentes inversores, enfocando el análisis a mejorar la eficiencia energética del sistema. (Finney et al., 1996) presentan una revisión bibliográfica del circuito amortiguador RCD y proponen la adición de un inductor para recuperar la energía atrapada en el condensador del amortiguador. (Zhang et al., 2011) presentan el análisis de pérdidas en inversores trifásicos con conmutación dura y conmutación suave, mostrando mediante pruebas experimentales las ventajas del amortiguador en el circuito de conmutación. En Josifovic et al. (2012) se presenta la influencia de los elementos parásitos en los circuitos electrónicos de potencia. (Withanage y Shammas, 2012) presentan la ecuación de diseño para el condensador del amortiguador RCD, aplicado a topologías de interruptores conectados en serie para operar a altos voltajes. En (Schulze et al., 2013) se analizan los factores que limitan el área de operación segura de los interruptores de potencia. En (Isobe et al., 2014) se presenta el diseño del amortiguador RCD para un convertidor DC-AC conectado a la red, operando con conmutación suave. Algunas de las topologías de circuitos amortiguador que la literatura técnica reporta son: amortiguador RL, amortiguador RLD, amortiguador RC y amortiguador RCD (Finney et al., 1996). Este artículo enfoca su análisis al circuito amortiguador RCD utilizado en el apagado de los interruptores.

Aunque existen gran cantidad de estudios para el diseño y selección de los componentes del amortiguador. Usualmente, los circuitos de amortiguación RCD son desarrollados con base en la experiencia del diseñador y métodos de prueba y error. En consecuencia, la capacidad de conocer el desempeño del amortiguador RCD en el circuito de conmutación antes de su implementación está limitada. Este artículo propone un procedimiento novedoso para el diseño del amortiguador RCD en circuitos electrónicos de potencia. El procedimiento incluye la deducción matemática de las ecuaciones de diseño y el método para la determinación de las reactancias parasitas en el circuito de conmutación. El procedimiento de diseño y las ecuaciones deducidas para el cálculo de los componentes del amortiguador RCD son verificados mediante pruebas experimentales y simulaciones realizadas con base en interruptores del tipo IGBT.

Este artículo, en la sección II, presenta los problemas asociados al apagado del interruptor, haciendo una descripción de su origen y sus consecuencias en el circuito de conmutación. A continuación, en la sección III, se presenta el principio de operación del circuito amortiguador RCD. La sección IV presenta la deducción matemática de las ecuaciones de diseño. La sección V presenta el resumen del procedimiento propuesto para el diseño del amortiguador RCD. La sección VI presenta los resultados de las simulaciones y los resultados de las pruebas experimentales.

## PROBLEMAS ASOCIADOS AL APAGADO DEL INTERRUPTOR DE POTENCIA

Los elementos parásitos en el circuito de conmutación están compuestos por: la capacitancia parasita ( $C_p$ ), la inductancia parasita ( $L_p$ ) y la resistencia parasita ( $R_p$ ). La  $C_p$  está formada por la capacitancia de la unión colector-emisor ( $C_{oes}$ ) en el interruptor (IGBT's para este artículo) y la capacitancia causada por el diseño del circuito impreso. Usualmente, la capacitancia  $C_{oes}$  es varias veces mayor que la capacitancia en el circuito impreso (Reusch y Strydom, 2014), por lo que la capacitancia del circuito impreso suele ser despreciable. La inductancia  $L_p$  depende de la longitud, el ancho y la forma de las pistas en el circuito impreso, y la longitud, el diámetro y la forma de los cables que conforman el lazo de corriente en el colector del interruptor. La  $L_p$  puede reducirse con buenas prácticas en el diseño del circuito electrónico, pero es imposible eliminarla completamente. La resistencia  $R_p$  está compuesta por la resistencia de las pistas en el circuito impreso y las resistencias parásitas en serie de los semiconductores. Frecuentemente, el valor de  $R_p$  es varias veces menor que el valor de la impedancia de carga (Josifovic et al., 2012).

Los elementos parásitos en el circuito de conmutación causan picos de voltaje y oscilaciones de alta frecuencia. Los picos de voltaje en el apagado del interruptor son causados por las inductancias parásitas en el lazo de la corriente del colector. Estos deben ser limitados hasta niveles inferiores al voltaje de ruptura de la unión colector-emisor en el interruptor (Schulze et al., 2013). Las oscilaciones de alta frecuencia en el apagado del interruptor se producen por el intercambio de energía entre las reactancias parásitas en el circuito de conmutación, causando EMI (Oswald et al., 2014). Adicionalmente, los elementos parásitos y la conmutación dura incrementan el estrés eléctrico y las pérdidas de potencia. El estrés eléctrico se produce cuando el interruptor de potencia opera con niveles de voltaje o de corriente superiores a los límites especificados, causando calentamiento excesivo y fatiga en el dispositivo. Las pérdidas de potencia excesivas en el apagado del interruptor causan la reducción de la eficiencia energética del circuito de conmutación y pueden ocasionar la aparición de puntos calientes localizados en el semiconductor, produciendo avalancha térmica y la destrucción del dispositivo (Schulze et al., 2013).

La figura 1(a) muestra el diagrama esquemático del circuito de conmutación de potencia utilizado para el análisis teórico y experimental. La fuente de energía consiste en una fuente de voltaje DC ( $v_s$ ). La carga del circuito de conmutación está compuesta por la inductancia ( $L_L$ ) y la resistencia ( $R_L$ ), instalados en paralelo con el diodo de paso libre ( $D$ ). En la práctica, los elementos parásitos  $L_p$ ,  $C_p$  y  $R_p$  están distribuidos en el lazo de corriente del colector en el interruptor. No obstante, ellos se muestran como parámetros concentrados en el circuito para facilitar su análisis.

La figura 1(b) muestra las formas de onda del voltaje colector-emisor ( $v_{ce}$ ) y de la corriente de colector ( $i_c$ ) en el tiempo de apagado del interruptor ( $t_{off}$ ) del circuito de la figura 1(a). Al iniciar el apagado ( $t_1$ ), el voltaje  $v_{ce}$  comienza a incrementarse y la corriente de carga ( $i_L$ ) comienza a disminuir. La reducción de la corriente  $i_L$  produce un voltaje en la inductancia  $L_L$  que se adiciona al voltaje  $v_{ce}$ , polarizando directamente el diodo  $D$ . Esto permite que la energía almacenada en la inductancia  $L_L$  se disipe en la resistencia  $R_L$ , limitando el pico de voltaje producido. También, la disminución de la corriente  $i_c$  causa la aparición de un voltaje en la inductancia parasita  $L_p$ . El voltaje inducido en  $L_p$  ocasiona el incremento del voltaje  $v_{ce}$ , causando un pico de voltaje. Este pico de voltaje no puede ser limitado por el diodo  $D$ , debido a que la inductancia  $L_p$  no está dentro del lazo del diodo. La resistencia parasita  $R_p$  causa una caída de voltaje, cuya magnitud no es significativa en comparación con los voltajes  $v_s$  y  $v_{ce}$  en el  $t_{off}$ . El proceso de apagado del interruptor termina en el instante  $t_2$ , cuando la corriente  $i_c$  disminuye a menos del 10% de su valor máximo y el voltaje  $v_{ce}$  se iguala con el voltaje de la fuente  $v_s$ . La figura 1(b) permite observar que la corriente  $i_c$  y el voltaje  $v_{ce}$  tienen magnitudes altas simultáneamente en el tiempo  $t_{off}$ , causando disipación de potencia en el interruptor en forma de calor. Las ecuaciones de nodos y de mallas en el circuito de la figura 1(a), en el tiempo  $t_{off}$ , permite deducir las ecuaciones (1), (2) y (3), relacionando las reactancias parásitas con la frecuencia de oscilación del voltaje  $v_{ce}$ . Para facilitar los cálculos, la deducción de las ecuaciones supone que la caída de voltaje en las terminales del diodo  $D$  es cero.

$$i_c = i_s = i_L - i_D \quad (1)$$

$$v_{ce} \triangleq v_s - L_p \frac{di_s}{dt} - R_p i_s \quad ; \quad \text{donde } \frac{di_s}{dt} < 0 \tag{2}$$

$$i_c = i_s = C_p \frac{dv_{ce}}{dt} \tag{3}$$

$$\frac{d^2 v_{ce}}{dt^2} + \frac{R_p}{L_p} \frac{dv_{ce}}{dt} + \frac{1}{L_p C_p} v_{ce} \triangleq v_s \tag{4}$$

Las ecuaciones (1) a (4) permiten deducir la ecuación característica del sistema en el dominio de Laplace, mostrada en la ecuación (5). Donde  $\xi$  es el coeficiente de amortiguamiento y  $\omega_n$  es la frecuencia natural no amortiguada de oscilación.

$$S^2 + 2\xi\omega_n S + \omega_n^2 = S^2 + \frac{R_p}{L_p} S + \frac{1}{L_p C_p} \triangleq 0 \quad ; \quad \omega_n = \frac{1}{\sqrt{L_p C_p}} \tag{5}$$

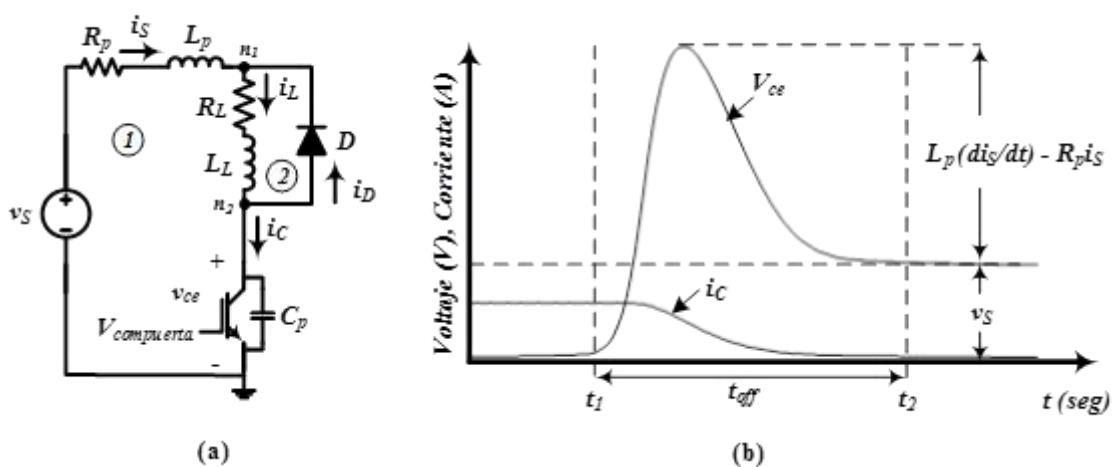


Fig. 1: (a) Diagrama esquemático del circuito de conmutación, (b) Formas de onda del voltaje  $v_{ce}$  y de la corriente  $i_c$  en el interruptor de la figura 1(a).

Usualmente, la inductancia parasita  $L_p$  tiene valores del orden de  $\mu H$  y la capacitancia parasita  $C_p$  tiene valores del orden de  $pF$ . En consecuencia, las oscilaciones en el voltaje  $v_{ce}$  son de alta frecuencia en comparación con la frecuencia de conmutación y la frecuencia de las redes de distribución, causando problemas de EMI (Josifovic et al., 2012).

**PRINCIPIO DE FUNCIONAMIENTO DEL AMORTIGUADOR RCD**

El amortiguador RCD se compone de un condensador ( $C_{SN}$ ), una resistencia ( $R_{SN}$ ) y un diodo de conmutación rápida ( $D_{SN}$ ). La conexión de los elementos del amortiguador RCD se muestra en el área sombreada de la figura 2(a). Durante el apagado del interruptor, el diodo  $D_{SN}$  entra en conducción, permitiendo que el condensador  $C_{SN}$  almacene la energía proveniente de la inductancia parasita  $L_p$ . Durante el encendido, el diodo  $D_{SN}$  está en corte y la energía almacenada en  $C_{SN}$  se disipa en la resistencia  $R_{SN}$ , circulando a través del interruptor. Durante el apagado, la capacitancia  $C_{SN}$  queda en paralelo con la capacitancia del interruptor  $C_p$ , aumentando la capacitancia total del circuito resonante. En consecuencia, el amortiguador RCD permite amortiguar las oscilaciones de alta frecuencia en el voltaje  $v_{ce}$ . (Zhang et al., 2011).

La figura 2(b) muestra las formas de onda del voltaje  $v_{ce}$  y de las corrientes  $i_c$  e  $i_{sn}$  en el tiempo  $t_{off}$  del interruptor de potencia (figura 2(a)), utilizando el circuito amortiguador RCD. El proceso de apagado del interruptor comienza en el instante  $t_1$ . En el periodo de tiempo comprendido entre  $t_1$  y  $t_2$ , el voltaje  $v_{ce}$  comienza a aumentar, polarizando directamente el diodo  $D_{SN}$  y la corriente de carga ( $i_L$ ) se distribuye entre  $i_c$  e  $i_{sn}$ . Simultáneamente, la corriente  $i_c$  disminuye y la corriente  $i_{sn}$  aumenta hasta igualar a la corriente  $i_L$  en el instante de tiempo  $t_2$ . En el periodo de tiempo comprendido entre  $t_2$  y  $t_3$ , el condensador  $C_{SN}$  continúa cargándose con la corriente  $i_L$ . En consecuencia, el voltaje  $v_{ce}$  continúa aumentando. En el instante de tiempo  $t_3$ , el voltaje  $v_{ce}$  alcanza el valor del voltaje  $v_s$ , polarizando directamente el diodo  $D$ . En el periodo de tiempo comprendido entre  $t_3$  y  $t_4$ , la energía almacenada en la inductancia  $L_L$  comienza a circular a través del diodo  $D$ , disipándose en forma de calor en  $R_L$ .

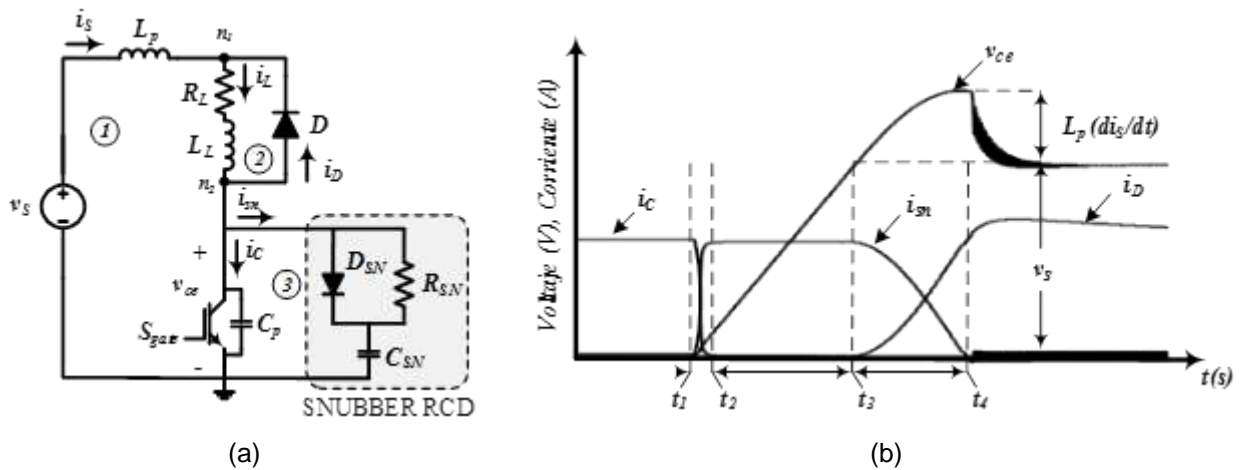


Fig. 2: (a). Diagrama esquemático del circuito electrónico de potencia usado en las simulaciones y en las pruebas experimentales. (b) Corrientes y voltaje en el periodo de apagado del interruptor.

En este periodo de tiempo, el cambio en la corriente  $i_s$  induce un voltaje en  $L_p$ , causando el pico de voltaje en  $v_{ce}$  (Figura 2(b)). Este pico de voltaje no puede ser limitado por el diodo  $D$ , ya que  $L_p$  no está en el lazo de corriente del diodo  $D$ . Simultáneamente, la corriente  $i_{sn}$  disminuye hasta llegar a cero en el instante de tiempo  $t_4$ , terminando el proceso de amortiguación producido por el amortiguador RCD. Luego del instante de tiempo  $t_4$ , el condensador  $C_{sn}$  se descarga a través de  $R_{sn}$  y el diodo  $D$  hasta alcanzar el voltaje de la fuente. La descarga del condensador  $C_{sn}$  se completa en el encendido del interruptor, circulando la corriente de descarga a través de la resistencia  $R_{sn}$  y el interruptor.

### DEDUCCION MATEMATICA DE LAS ECUACIONES DE DISEÑO

#### Reactancias parásitas

El valor de las reactancias parasitas puede ser determinado con base en las mediciones experimentales y las ecuaciones deducidas a partir del circuito de conmutación en dos condiciones de funcionamiento, para diferenciarlas se utiliza el subíndice  $x$ : 1) El circuito de conmutación de la figura 3. En esta condición de funcionamiento, la capacitancia total ( $C_{total_1}$ ) en paralelo con el interruptor de potencia está dada por  $C_{total_1} = C_p$ . Esta condición utiliza el subíndice  $x=1$ ; y 2) El circuito de conmutación agregando el condensador  $C_{adic}$ , de valor conocido, en paralelo al interruptor. Como se muestra con las líneas punteadas en la figura 3. En esta condición de funcionamiento, la capacitancia total ( $C_{total_2}$ ) en paralelo con el interruptor está dada por  $C_{total_2} = C_p + C_{adic}$ . Esta condición utiliza el subíndice  $x=2$ .

En las dos condiciones de funcionamiento, las mediciones experimentales necesarias para el cálculo de las reactancias parasitas pueden ser realizadas como se muestra en la figura 3. Los parámetros que se deben medir son: el periodo de oscilación ( $T_{osc_x}$ ), el valor del pico del voltaje  $v_{ce}$  ( $v_{ce\ pico_x}$ ) y el valor en estado estable del voltaje  $v_{ce}$  ( $v_{ce\ ss_x}$ ). Las dos condiciones de funcionamiento proveen los datos necesarios para el cálculo de las dos reactancias parasitas, ecuaciones (9) y (10).

$$T_{osc_x} = \frac{2\pi}{\omega_{n_x}} = \frac{2\pi}{\omega_{n_x} \sqrt{1-\xi_{-x}^2}} \quad \text{donde} \quad \omega_{n_x} = \frac{1}{\sqrt{L_p C_{total_x}}} \quad (6)$$

La expresión para el coeficiente de amortiguamiento ( $\xi_{-x}$ ), ecuación (8), puede ser obtenida operando matemáticamente en la definición del sobre pico del voltaje ( $M_{p_x}$ ) mostrada en la ecuación (7).

$$M_{p_x} = \frac{v_{ce\ pico_x}}{v_{ce\ ss_x}} = 1 + e^{\frac{-\xi_{-x}\pi}{\sqrt{1-\xi_{-x}^2}}} \quad (7)$$

$$\xi_{-x} = -\frac{\ln\left(\frac{v_{ce\ pico_x}}{v_{ce\ ss_x}} - 1\right)}{\sqrt{\pi^2 + \left(\ln\left(\frac{v_{ce\ pico_x}}{v_{ce\ ss_x}} - 1\right)\right)^2}} \quad (8)$$

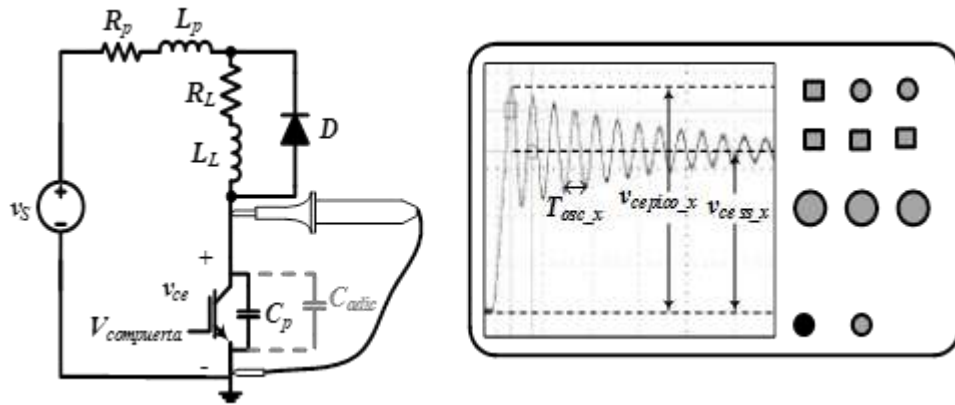


Fig. 3: Procedimiento para la medición del periodo de oscilación  $T_{osc,x}$ ,  $v_{ce\ pico,x}$  y  $v_{ce\ ss,x}$  en el voltaje  $v_{ce}$ .

Las reactancias parasitas  $L_p$  y  $C_p$  pueden ser calculadas con base en las ecuaciones (9), y (10) y los resultados de las mediciones experimentales para los dos casos anteriores ( $\varepsilon_{-1}, T_{osc,1}$ ,  $\varepsilon_{-2}$  y  $T_{osc,2}$ ). Estas ecuaciones se obtienen operando matemáticamente en las ecuaciones (6), (7) y (8).

$$L_p = \frac{T_{osc,2}^2(1 - \varepsilon_{-2}^2) - T_{osc,1}^2(1 - \varepsilon_{-1}^2)}{4\pi^2 C_{adic}} \tag{9}$$

$$C_p = \frac{C_{adic} T_{osc,1}^2(1 - \varepsilon_{-1}^2)}{T_{osc,2}^2(1 - \varepsilon_{-2}^2) - T_{osc,1}^2(1 - \varepsilon_{-1}^2)} \tag{10}$$

El cálculo de las reactancias parasitas puede ser simplificado, asumiendo en las ecuaciones (9) y (10) que  $\xi_{-1} = \xi_{-2} = 0$ . El error introducido en el cálculo es pequeño. Debido a que, la resistencia parasita ( $R_p$ ) es pequeña comparada con los demás parámetros del sistema.

**Capacitancia y resistencia del amortiguador RCD**

En esta sección se proponen las ecuaciones para el cálculo del valor del condensador  $C_{SN}$  y de la resistencia  $R_{SN}$  en función del valor del pico esperado en el voltaje  $v_{ce}$ , y del valor de las reactancias parasitas calculadas con base en el procedimiento descrito en la sección anterior. Para facilitar los cálculos matemáticos, las ecuaciones desprecian la caída de voltaje en las resistencias parasitas del lazo de corriente del colector y la caída de voltaje en los semiconductores del circuito de la figura 2(a).

**Deducción de la ecuación para el condensador  $C_{SN}$**

La sumatoria de corrientes y voltajes en el circuito de la figura 2(a) permiten obtener las ecuaciones de (11) a (15), en el periodo comprendido entre  $t_3$  y  $t_4$ , cuando se produce el pico de voltaje en  $v_{ce}$ .

$$i_{sn} = i_s = i_L - i_D, \text{ donde } i_c \triangleq 0 \tag{11}$$

$$R_L i_L + L_L \frac{di_L}{dt} \triangleq 0 \tag{12}$$

$$-v_s + L_p \frac{di_s}{dt} + v_{ce} \triangleq 0 \tag{13}$$

$$\frac{1}{C_p} \int_{t_3}^{t_4} i_{sn} dt \triangleq v_{ce} \tag{14}$$

$$-v_s + L_p \frac{di_{sn}}{dt} + \frac{1}{C_p} \int_{t_3}^{t_4} i_{sn} dt \triangleq 0 \tag{15}$$

Asumiendo  $v_s$  constante en el periodo de análisis y derivando respecto al tiempo se obtiene la ecuación (16)

$$\frac{d^2 i_{sn}}{dt^2} + \frac{1}{L_p C_p} i_{sn} \triangleq 0 \quad (16)$$

La ecuación (16) corresponde a una ecuación diferencial homogénea, cuya solución se presenta en la ecuación (17). Las condiciones iniciales para la solución de la ecuación diferencial son  $i_{sn}(0) = I_L$  y  $i'_{sn}(0) = 0$ , donde  $I_L$  es la corriente de carga del circuito.

$$i_{sn}(t) \triangleq I_L \cos\left(\frac{t}{\sqrt{L_p C_{SN}}}\right) \quad (17)$$

La derivada de la ecuación (17) respecto al tiempo está dada por

$$\frac{di_{sn}}{dt} \triangleq \frac{-I_L}{\sqrt{L_p C_p}} \operatorname{sen}\left(\frac{t}{\sqrt{L_p C_p}}\right) \quad (18)$$

De la ecuación (18) se deduce que.

$$\frac{di_s}{dt} = \frac{di_{sn}}{dt} \triangleq \frac{v_s - v_{ce}}{L_p} \quad (19)$$

Igualando las ecuaciones (18) y (19) se obtiene la siguiente expresión.

$$\frac{v_s - v_{ce}}{L_p} \triangleq \frac{-I_L}{\sqrt{L_p C_p}} \operatorname{sen}\left(\frac{t}{\sqrt{L_p C_p}}\right) \quad (20)$$

Despejando el  $v_{ce}$  de la ecuación (20) se obtiene

$$v_{ce} \triangleq v_s + I_L \sqrt{\frac{L_p}{C_p}} \operatorname{sen}\left(\frac{t}{\sqrt{L_p C_p}}\right) \quad (21)$$

El pico de voltaje en  $v_{ce}$  ( $v_{ce\text{pico}}$ ) se produce cuando  $\frac{t}{\sqrt{L_p C_p}} = \frac{\pi}{2}$

$$v_{ce\text{pico}} \triangleq v_s + I_L \sqrt{\frac{L_p}{C_p}} \quad (22)$$

De la ecuación (22) se puede obtener la expresión que permite el cálculo del valor del condensador  $C_{SN}$ . El valor de condensador calculado limita  $v_{ce} \leq v_{ce\text{pico}}$  en el apagado del interruptor al valor deseado. La selección del valor del  $v_{ce\text{pico}}$  debe garantizar que el interruptor operara por debajo de los límites máximos de voltaje permitidos.

$$C_{SN} \triangleq \frac{L_p I_L^2}{(v_{ce\text{pico}} - v_s)^2} - C_p \quad (23)$$

*Deducción de la ecuación para la resistencia  $R_{SN}$*

La descarga total del condensador  $C_{SN}$  se debe completar en el tiempo de encendido del interruptor ( $t_{on}$ ), garantizando las condiciones iniciales del amortiguador RCD en el siguiente ciclo de conmutación. Cuando el condensador no se descarga completamente, su capacidad para almacenar la energía proveniente del inductor  $L_p$  está limitada, permitiendo la aparición de picos en el voltaje en  $v_{ce}$  superiores a los calculados.

El tiempo de descarga del condensador  $C_{SN}$  está limitado por la resistencia  $R_{SN}$ . La constante de tiempo de descarga del circuito  $R_{SN} C_{SN}$  ( $\tau$ ), definida en la ecuación (24), se puede aproximar en  $5\tau$ .

$$\tau = R_{SN} C_{SN} \quad (24)$$

El periodo de conmutación del interruptor de potencia ( $T_{sw}$ ) se define en la ecuación (25). Las técnicas de modulación de los convertidores DC-DC, AC-DC y DC-AC pueden causar tiempos de encendido cortos, del orden de  $t_{on} = 0.1 T_{sw}$ , y se debe garantizar que  $5\tau < 0.1 T_{sw}$ . La ecuación (26) permite calcular el valor máximo de la resistencia que garantiza la descarga del condensador  $C_{SN}$ , cuando  $t_{on} \leq 0.1 T_{sw}$ .

$$T_{sw} = \frac{1}{f_{sw}} = t_{on} + t_{off} \quad (25)$$

Donde  $f_{sw}$  es la frecuencia de conmutación.

$$R_{SN} \leq \frac{0.1}{5 C_{SN} f_{sw}} \quad (26)$$

La potencia disipada por la resistencia  $R_{SN}$  ( $P_{R_{SN}}$ ), puede ser calculada mediante la siguiente ecuación (Finney et al., 1996).

$$P_{R_{SN}} = \frac{1}{2} C_{SN} v_s^2 f_{sw} \quad (27)$$

#### Procedimiento de Diseño del Amortiguador RCD

Antes de diseñar el circuito amortiguador RCD, se recomienda reducir la inductancia parasita del circuito de conmutación tanto como sea posible, logrando reducir el tamaño y costo de los elementos del amortiguador RCD y aumentar la eficiencia energética del circuito de conmutación (Josifovic, et al., 2012). Los pasos propuestos para el diseño del circuito amortiguador RCD son:

- 1) Determinar el valor de las reactancias parasitas del circuito de conmutación, usando el procedimiento mostrado en la figura 3 y las ecuaciones (8), (9) y (10).
- 2) Determinar el valor del condensador  $C_{SN}$  y de la resistencia  $R_{SN}$ , usando las ecuaciones (21), (22), (23), (26) y (27), en función del pico en el voltaje  $v_{ce}$  deseado y de la frecuencia de conmutación  $f_{sw}$ ; y
- 3) Verificar los resultados del diseño teórico mediante la simulación del circuito y la realización de pruebas experimentales.

### SIMULACIONES Y RESULTADOS EXPERIMENTALES

Las simulaciones y las pruebas experimentales se realizaron con el circuito electrónico de potencia mostrado en la figura 2(a), utilizando en la simulación los mismos parámetros obtenidos del circuito experimental. La tabla 1 muestra el valor de los parámetros del circuito y las referencias de los semiconductores usados. La simulación del circuito se realiza con base en los modelos de Spice suministrados por el fabricante de los elementos semiconductores. La señal de compuerta usada para conmutar el interruptor se obtiene con base en el circuito de excitación ISO5500 del fabricante Texas Instruments, y una resistencia de compuerta de 10  $\Omega$ . El ISO5500 suministra una corriente máxima de 2A a la compuerta del IGBT desde una fuente aislada de 20 V.

Tabla 1. Parámetros y valores usados en las simulaciones y en las pruebas experimentales

Parámetro	Valor
IGBT	IRG4PC40FD, VCES = 600V, IC = 27A
$D$ y $D_{SN}$	FR154
$R_L$	56,6 $\Omega$
$L_L$	10 mH
$V_s$	172 Vdc
$I_L$	2,85 A

#### Determinación de las reactancias parasitas

Las figuras 4(a) y 4(b) muestran los oscilogramas del voltaje  $v_{ce}$  para las condiciones de funcionamiento 1 y 2 respectivamente. Las mediciones se realizan como se indica en la figura 3. Estos oscilogramas permiten



encontrar el valor de las variables necesarias para calcular las reactancias parasitas. La figura 4(a) muestra el oscilograma del voltaje  $v_{ce}$  en el apagado del interruptor del circuito de conmutacion mostrado en la figura 3 para la condicion 1 de funcionamiento (sin incluir el condensador  $C_{adic}$ ). En esta condicion de funcionamiento, la frecuencia de oscilacion del voltaje es 6,58MHz y el pico de voltaje  $v_{ce}$  maximo es 335 V. La figura 4(b) muestra el oscilograma del voltaje  $v_{ce}$  en el apagado del interruptor, para la condicion 2 de funcionamiento (incluyendo el condensador  $C_{adic} = 3300 pF$ ). En esta condicion de funcionamiento, la frecuencia de oscilacion es 1,22 MHz y el pico de voltaje  $v_{ce}$  maximo es 276 V.

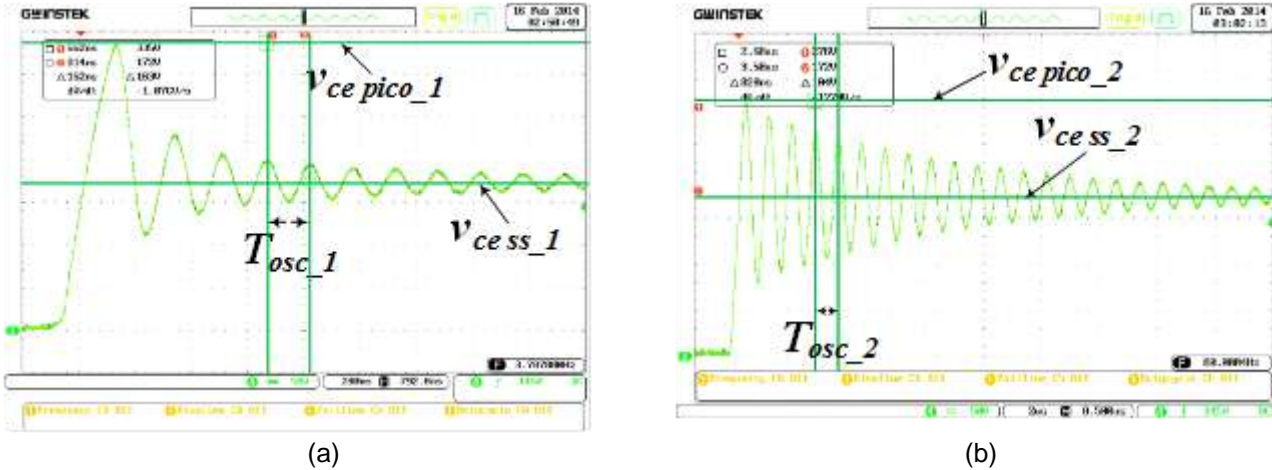


Fig. 4: Oscilogramas del voltaje  $V_{ce}$ . (a). Condición 1 (voltaje 50V/div, tiempo 792 ns/div). (b) Condición 2(voltaje 50V/div, tiempo 0,5µS/div).

La tabla 2 resume los resultados de las mediciones hechas en los oscilogramas presentados en las figuras 4(a) y 4(b). El valor de las reactancias parasitas  $L_p$  y  $C_p$  pueden ser calculadas con base en las ecuaciones (8), (9) y (10). Los resultados de dichos cálculos se resumen en la tabla 3.

Tabla 2. Valor de las variables medidas en el voltaje  $v_{ce}$  para las dos condiciones de funcionamiento.

Variable	$v_{ce\text{pico}_1}$	$v_{ce\text{pico}_2}$	$v_{cess_1}$	$v_{cess_2}$	$T_{osc_1}$	$T_{osc_2}$
Valor	335 V	276 V	172 V	172 V	152 ns	820 ns

Tabla 3. Valor calculado de las reactancias parasitas  $L_p$  y  $C_p$

Parámetros	$\epsilon_1$	$\epsilon_2$	$L_p$	$C_p$
Valor	0,0171	0,1581	4,85 µH	121 pF

*Validación de las ecuaciones*

Para la validación experimental se seleccionaron 6 condensadores de poliéster metalizados con valores en el rango entre 3,3 nF y 100nF (tabla 4). La ecuación (22) permite calcular el pico de voltaje máximo que se produce con cada valor de capacitancia seleccionado en el ensayo.

Las figuras 5(a) y 5(b) permiten comparar el voltaje  $v_{ce}$  y la corriente  $i_c$  en el circuito de conmutación sin amortiguador RCD y con el amortiguador RCD ( $C_{SN} = 100nF$ ). El voltaje  $v_{ce}$  en el circuito sin amortiguador RCD (figura 5(a)) presenta oscilaciones de alta frecuencia y el pico de voltaje de 335 V. En contraste, El voltaje  $v_{ce}$  en el circuito con amortiguador RCD (figura 5(b)) se incrementa de forma amortiguada y no se observan oscilaciones de alta frecuencia, alcanzando un pico de voltaje de 193 V. La figura 6(a) y la tabla 4 permiten comparar los resultados de los cálculos teóricos, los resultados de las simulaciones y los resultados experimentales. Estos resultados corroboran la pertinencia de las ecuaciones (29) y (30) para relacionar la capacitancia  $C_{SN}$  con el voltaje  $v_{ce\text{pico}}$ .

La figura 7(a) muestra las líneas de carga del interruptor de potencia en el circuito de la figura 2(a), funcionando sin el circuito del amortiguador RCD. La figura 7(a) muestra los picos y las oscilaciones en el voltaje  $v_{ce}$  y en la corriente  $i_c$  con niveles significativos. El interruptor pasa por la región activa en varias ocasiones, conmutando entre corte y saturación. La figura 7(b) muestra la línea de carga del interruptor de potencia en el circuito de la figura 2(a), funcionando con el circuito amortiguador RCD. La figura 7(b) muestra que el circuito amortiguador RCD reduce los picos y las oscilaciones en el voltaje  $v_{ce}$  y en la

corriente  $i_c$  del interruptor. Además, la figura 7(b) muestra que el amortiguador RCD disminuye el estrés eléctrico en el interruptor, comparando las líneas de carga del circuito de conmutación con amortiguador RCD y sin el amortiguador RCD.

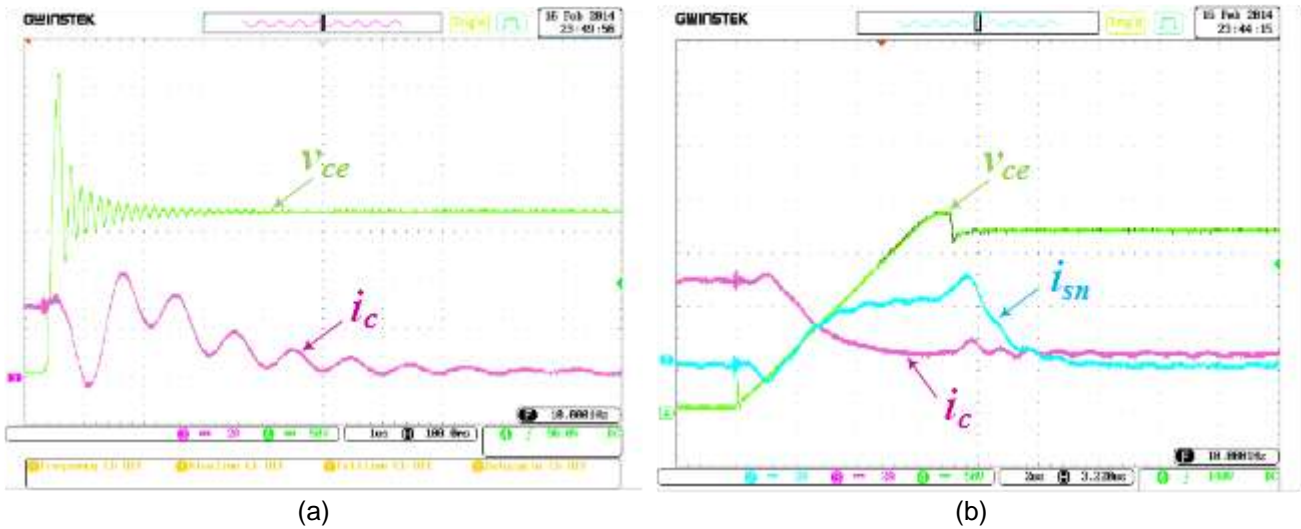


Fig. 5: Oscilogramas del voltaje  $v_{ce}$ , la corriente de colector  $i_c$  y la corriente del amortiguador RCD  $i_{sn}$ . En el apagado del interruptor, (a) sin amortiguador RCD (voltaje 50V/div, corriente 2A/div, tiempo 1us/div) (b) con amortiguador RCD,  $C_{SN}=100nF$ , voltaje 50V/div, corriente 2A/div, tiempo 1us/div).

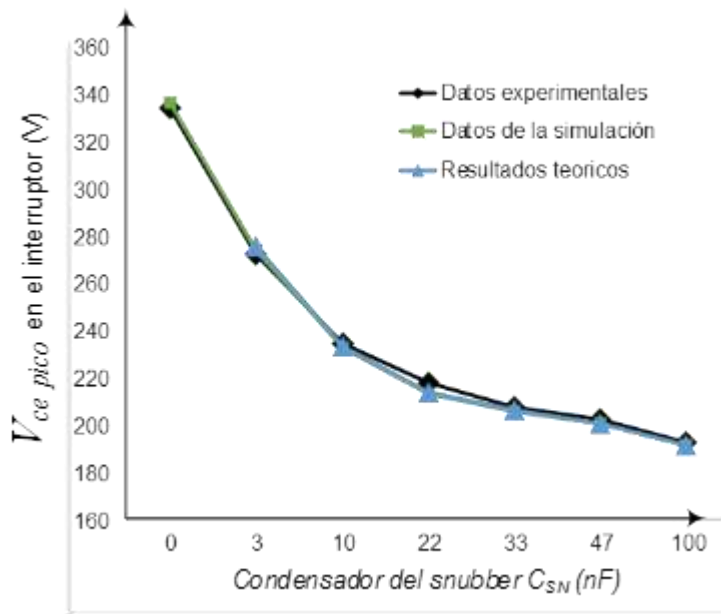


Fig. 6: Comparación de los resultados teóricos, experimentales y de la simulación para  $v_{ce\ pico}$  en función  $C_{SN}$ .

Tabla 4. Comparación de los resultados del valor del  $v_{ce\ pico}$  en función  $C_{SN}$  con cálculos teóricos, los resultados de las simulaciones y los resultados experimentales.

$C_{SN}(nF)$ $v_{ce\ pico}(V)$	0	3,3	10	22	33	47	100
Calculo teórico		276	234	214	206,5	200,9	191,9
Simulación	337	274,2	233,3	213,4	206,4	201	192
Experimental	335	273	235	218	208	203	193

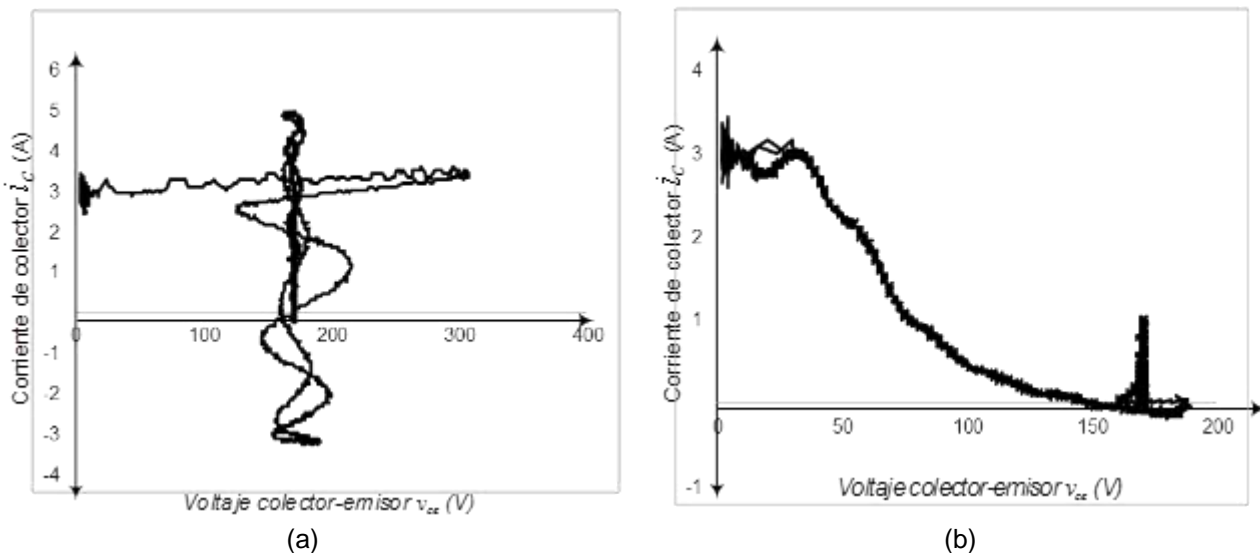


Fig. 7: Línea de carga de  $V_{ce}$  e  $I_c$ . (a). sin amortiguador RCD (b) con amortiguador RCD ( $C_{SN} = 100n$ ).

## CONCLUSIONES

El amortiguador RCD reduce los picos de voltaje en el apagado del interruptor, creando un camino alternativo para que la energía almacenada en la inductancia parasita  $L_p$  se almacene en el condensador  $C_{SN}$  y no fluya a través del interruptor de potencia en el  $t_{off}$ . Además, el amortiguador RCD permite adicionar  $C_{SN}$  a  $C_p$ , aumentando la capacitancia total del circuito resonante. En consecuencia, el amortiguador RCD amortigua las oscilaciones de alta frecuencia en  $v_{ce}$ . El amortiguador RCD reduce el estrés eléctrico en el interruptor, aumentando el tiempo de subida del voltaje  $v_{ce}$ , mientras que la corriente  $i_c$  disminuye rápidamente en el  $t_{off}$ .

Usualmente, los circuitos de amortiguación RCD se desarrollan con base en la experiencia del diseñador y métodos empíricos, limitando el análisis que se realiza antes de la implementación experimental del circuito amortiguador. El procedimiento y las ecuaciones de cálculo propuestas en este artículo se constituyen en una gran herramienta para el análisis y el diseño de los circuitos de amortiguación RCD, aplicados en la mayoría de los circuitos electrónicos de potencia. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador  $C_{SN}$  y de la resistencia  $R_{SN}$  en función de las reactivas parasitas del circuito real y del pico de voltaje en  $v_{ce}$ , haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental.

Las pruebas experimentales permiten evidenciar la pertinencia de las ecuaciones propuestas en este artículo para el cálculo de los elementos parásitos del circuito y para el cálculo de los elementos del amortiguador RCD, observando que el error de los resultados teóricos respecto a los resultados experimentales es pequeño. Este error puede estar asociado a la tolerancia en el valor de los componentes pasivos disponibles comercialmente y a las alinealidades no considerados en el comportamiento dinámico de los componentes.

## AGRADECIMIENTOS

Los autores agradecen a la Universidad de Antioquia (UdeA) por el apoyo de "SOS 2013-2014" y el proyecto PRV12-1-02 "Diseño y construcción de un prototipo convertidor trifásico DC-AC". Además, los autores agradecen a la Gobernación de Antioquia y a la UdeA por el apoyo en el proyecto 381499 "Desarrollo de un sistema embebido para el control digital de un convertidor de energía de una a tres fases".

## REFERENCIAS

- Abramovitz, A., Chih-Sheng L. y Smedley, *State-Plane Analysis of Regenerative Snubber for Flyback Converters*, IEEE Transactions on Power Electronics, 28(11), 5323–32 (2013)
- Cetin, A. y Ermis M., *VSC-Based D-STATCOM With Selective Harmonic Elimination*, IEEE Transactions on Industry Applications, 45(3), 1000–1015 (2009)

- De, D., y Ramanarayanan, *Analysis, Design, Modeling, and Implementation of an Active Clamp HF Link Converter*, IEEE Transactions on Circuits and Systems, 58(6), 1446–55 (2011)
- Finney, S. J., Williams B. W., y Green T. C., *RCD Snubber Revisited*, IEEE Transactions on Industry Applications, 32(1), 155–60 (1996)
- Gallego, J., Cano, J., Muñoz, N., *Análisis de Flujos de Potencias Ineficientes Producidos por Convertidores de Potencia*, Información Tecnológica, 25(3) (2014)
- Isobe, T., Kato K., Kojima N., y Shimada R., *Soft-Switching Single-Phase Grid-Connecting Converter Using DCM Operation and a Turn-Off Snubber Capacitor*, IEEE Transactions on Power Electronics, 29(6), 2922–30 (2014)
- Josifovic, I., Popovic-Gerber J., y Ferreira J. A., *Improving SiC JFET Switching Behavior Under Influence of Circuit Parasitics*, IEEE Transactions on Power Electronics, 27(8), 3843–54 (2012)
- Li, R.T., Chung H.S., y Sung A., *Passive Lossless Snubber for Boost PFC With Minimum Voltage and Current Stress*, IEEE Transactions on Power Electronics, 25(3), 602–13 (2010)
- Mahesh, M., y Panda A. K., *High-Power Factor Three-Phase Ac-Dc Soft-Switched Converter Incorporating Zero-Voltage Transition Topology in Modular Systems for High-Power Industry Applications*, Power Electronics, 4(9), 1032–42 (2011)
- McMurray, W., *Optimum Snubbers for Power Semiconductors*, IEEE Transactions on Industry Applications, 8(5), 593–600 (1972)
- McMurray, W. *Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converters*, IEEE Transactions on Industry Applications, 16(4), 513–23 (1980)
- Oswald, N., Anthony P., McNeill N., y Stark B. H., *An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations*, IEEE Transactions on Power Electronics, 29(5), 2393–2407 (2014)
- Rajashekara, K. S., Joseph, V., y Rajagopalan V., *Protection and Switching-Aid Networks for Transistor Bridge Inverters*, IEEE Transactions on Industrial Electronics, 33(2), 185–92 (1986)
- Ranstad, P., y Nee H., *On Dynamic Effects Influencing IGBT Losses in Soft-Switching Converters*, IEEE Transactions on Power Electronics, 26(1), 260–71 (2011)
- Reusch, D., y Strydom J., *Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter*, IEEE Transactions on Power Electronics, 29(4), 2008–15 (2014)
- Schulze, H., Niedernostheide F., Pfirsch F., y Baburske R., *Limiting Factors of the Safe Operating Area for Power Devices*, IEEE Transactions on Electron Devices, 60(2), 551–62 (2013)
- Withanage, R., y Shammas N., *Series Connection of Insulated Gate Bipolar Transistors (IGBTs)*, IEEE Transactions on Power Electronics, 27(4), 2204–12 (2012)
- Zhang, Huaguang, Qiang W., Enhui C., Xiuchong L., y Limin H., *Analysis and Implementation of A Passive Lossless Soft-Switching Snubber for PWM Inverters*, IEEE Transactions on Power Electronics, 26(2), 411–26 (2011)