

## ARQUITECTURA DE DECOFICADOR DE VIDEO ORIENTADA AL BAJO CONSUMO PARA ACOMPAÑANTES MÓVILES DIGITALES

### Low power video decoder architecture for mobile companion systems

#### RESUMEN

Este artículo, expone la implementación de un sistema de decompresión de video digital orientado al bajo consumo de potencia para dispositivos móviles, el cual cumple con el perfil simple del estándar H.263 y ha sido sintetizado en un dispositivo lógico programable (FPGA). Se implementan cuatro diferentes tipos de arquitecturas del módulo *2D-IDCT* para lograr una reducción del consumo de potencia dinámica en el decodificador. Las técnicas de bajo consumo usadas consisten en la reducción de tamaño de bits en las MAC (multiplicadores de baja precisión), omisión de bloques nulos y la reducción de conmutación en memoria, con las cuales se logra reducciones hasta del 70% en el consumo de la *2D-IDCT* y de hasta un 74% en el decodificador de video H.263.

#### ADRIÁN MONTOYA LINCE

Estudiante Maestría,  
Universidad de Antioquia  
alince@microe.udea.edu.co

#### FREDY ALEXANDER RIVERA VÉLEZ

DACyA  
Universidad Complutense de Madrid  
farivera@fis.ucm.es

**PALABRAS CLAVES:** Compresión, decodificador, decompresión, estándares, H.263/MPEG4, MAC, Multiplicador serial-paralelo, transformadas DCT, video.

#### ABSTRACT

*This paper deals with the implementation onto an FPGA of a low power video decompression system that complies with the H.263 standard. Four different architectures for the 2D-IDCT module have been implemented, looking for the reduction of the decoder's dynamic power consumption. Low power techniques employed in this work consist of bit-width reduction in MAC operations (low precision multipliers), avoiding block null processing, and memory bus commutation reduction. Results are very promising in terms of power consumption, saving up to 70% in the 2D-IDCT module, and up to 74% in the whole H.263 decoder.*

**KEYWORDS:** Compress, decoder, decompression, H.263/MPEG4, MAC, serial-parallel Multiplier, DCT transforms, video.

### 1. INTRODUCCIÓN

La transmisión de video en tiempo real sobre un sistema inalámbrico impone límites estructurales en el ancho de banda [1]-[3] y por lo tanto son necesarios esquemas de compresión para la transmisión de la información en el canal.

La compresión de video es una ciencia madura y en continuo progreso. Fruto de la producción científica, encontramos los estándares ITU(H.26X) e ISO/IEC(14496) [4]-[7] producidos por los grupos VCEG (Video Coding Expert Group) y MPEG (Moving Picture Expert Group) respectivamente en los cuales se exponen en detalle las estructuras, esquemas, modelos, funcionalidades y metodologías de compresión.

En los sistemas móviles es de vital importancia la minimización del consumo de potencia, debido a que los equipos deben usarse la mayor parte de su vida útil sólo con baterías. Por un lado, la tecnología de construcción de las baterías juega un papel importante, pero por otro lo es mucho más el uso eficiente de esta energía en el equipo. Debido a esto es necesario el diseño de circuitos eficientes en el uso de la potencia suministrada.

El consumo de potencia en circuitos digitales se puede clasificar en dos tipos: *estático* y *dinámico*. El primero está impuesto por la tecnología de fabricación de los transistores y por tanto es un factor más complicado de controlar por el diseñador. De otro lado, queda la posibilidad de la reducción de la *potencia dinámica* consumida, que es debida a las transiciones de señal cuando el circuito está en operación. Es sobre ésta, en donde se pueden establecer metodologías de acuerdo a la función que realiza el hardware para reducir el consumo [8, 9].

### 2. MARCO TEÓRICO Y ESTADO DEL ARTE

El modelo arquitectónico genérico de decompresión en los estándares mencionados es el DPCM/IDCT [3], el cual satisface los requerimientos generales establecidos en el sistema de acompañantes móviles (Ver figura 1). En él encontramos los bloques: Decodificador de Entropía y Reordenador ( $VLC^{-1}$ ), Reescalador ( $Q^{-1}$ ), Transformada Inversa del Coseno en dos dimensiones (*2D-IDCT*) y Compensación de movimiento (*MC*).

Fecha de Recepción: 8 de junio de 2009

Fecha de Aceptación: 20 de Agosto de 2009

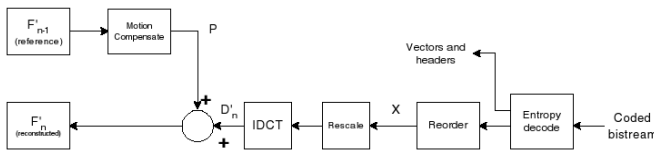


Figura 1: Modelo Genérico de Decodificador DPCM/IDCT

Se han realizado implementaciones en hardware de CODECs de video tendientes a optimizar el desempeño usando arquitecturas RISC como el StrongARM [10], extensiones multimedia de procesadores como la MMX de Intel [11], o procesadores digitales de señal [10,12] que implementan el proceso de codificación/decodificación en software. En estos casos las optimizaciones arquitecturales se realizan sobre los tiempos de acceso a memoria y en el tráfico de los buses de interconexión entre memoria y el microprocesador. Estas soluciones tienen un buen desempeño pero presentan altos consumos de potencia, no aptos para dispositivos móviles.

Por otro lado, se han estudiado implementaciones arquitectónicas mixtas (uP+FPGAs) con bloques para el cálculo de transformadas wavelets (DWT) [13], con los cuales se obtienen rendimientos y consumos de potencia menores al primer caso. Una ventaja adicional de esta solución es la reprogramabilidad del hardware, que inmerso en un sistema, permitiría rehusarlo dinámicamente [14,15].

En las implementaciones de CODECs y transformadas mencionadas, podemos encontrar valores de consumo de potencia que van desde 2.46W para sistemas de cómputo de HDTV, hasta 85mW en ASIC para la 2D-IDCT/DCT. La mayoría de trabajos relacionados se orientan a mejorar el desempeño del CODEC, y aspectos del consumo de potencia no son tenidos en cuenta, excepto en los casos de implementaciones para dispositivos móviles en sistemas UMTS-3G, en los cuales se diseñan ASICs de baja potencia. Sin embargo, resultados publicados en [12] establecen un punto de partida para realizar comparaciones entre las implementaciones arquitecturales del módulo 2D-IDCT con DSPs, FPGAs y ASICs. Éstas muestran que los ASICs tienen una ventaja de un consumo de potencia mucho menor frente a las otras propuestas, con velocidades al menos 3 veces mayores en el cálculo de un bloque de 8x8.

### 3. ARQUITECTURA DEL DECODIFICADOR

La arquitectura del decodificador, está orientada a su inserción dentro del acompañante móvil digital [14, 15] que impone requerimientos de reconfigurabilidad en el decodificador, en un sistema de transmisión de baja tasa binaria.

Las FPGAs han sido elegidas como plataforma para la implementación del decodificador de video. Esto es debido a su flexibilidad, a el desempeño desarrollado por éstas y a la tendencia del bajo consumo de potencia en las tecnologías de fabricación de dichos dispositivos [16,17].

El procesamiento temporal y espacial de la imagen es realizado en la FPGA mediante la implementación de los módulos  $Q^{-1}$ , 2D-IDCT y  $MC$ ; mientras la decodificación del streaming y el módulo  $VLC^{-1}$  (Huffman) es realizada en el microprocesador.

Un estudio detallado de las características intrínsecas en los procesos de compresión y decompresión de video, muestra que los procesos más intensivos computacionalmente [11] (como las transformadas directa e inversa del coseno) asociada con altas tasas de conmutación, implican consumos de potencia elevados. Estos procesos de cálculos intensivos, poseen operaciones de multiplicación-acumulación (MAC) que son las responsables en gran medida de la disipación de potencia. Específicamente, en el decodificador de video, el proceso más intensivo y de mayor consumo es la transformada inversa del coseno en dos dimensiones (2D-IDCT). Como puede verse en la Figura 2, esta consume hasta un 86% de la potencia en el decodificador. Por tanto este trabajo se enfoca en reducir el consumo de potencia en éste módulo, ya que de acuerdo a la ley de Amdahl [18] aplicada a la disipación en potencia, una reducción del 70% en el consumo de potencia, implicaría una reducción hasta del 57% en el consumo de potencia en el decodificador de video.

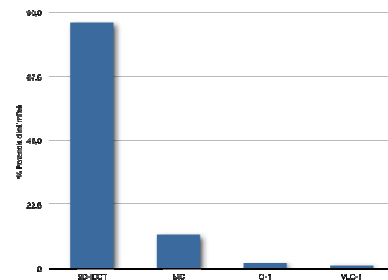


Figura 2: Estimación de potencia dinámica en los módulos H.263

La transformada Directa  $F_{x,y}$  e inversa  $f_{i,j}$  del Coseno (2D-IDCT/DCT) definida en la ecuación (1) es utilizada en los estándares de compresión de video H.263/MPEG para bloques de 8x8 píxeles, debido a su rapidez, baja complejidad y fácil implementación [19]. Con respecto otras transformadas como la Transformada Discreta de Fourier (DFT), Transformada Discreta Wavelet (DWT) y la Transformada Karhunen-Loéve (DLKT).

$$F_{x,y} = \frac{2c(x)c(y)}{N} \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} f_{i,j} \cos\left(\frac{(2i+1)\pi x}{2N}\right) \cos\left(\frac{(2j+1)\pi y}{2N}\right) \quad (1)$$

$$f_{i,j} = \frac{2c(i)c(j)}{N} \sum_{x=0}^{N-1} \sum_{y=0}^{N-1} F_{x,y} \cos\left(\frac{(2x+1)\pi i}{2N}\right) \cos\left(\frac{(2y+1)\pi j}{2N}\right)$$

$$c(n) = \begin{cases} \frac{1}{\sqrt{2}} & , para \quad n = 0 \\ 1 & , para \quad n \neq 0 \end{cases}$$

En la ec (1)  $f_{i,j}$  es un bloque de  $N \times N$  píxeles que contiene información de luminancia  $Y$  y crominancias  $C_r$  ó  $C_b$ ;  $F_{x,y}$  es el bloque DCT transformado de tamaño  $N \times N$ ; las parejas  $(i,j)$  corresponden a los subíndices de las muestras de píxeles tomados, los valores de  $(x,y)$  a las frecuencias verticales y horizontales en el espacio transformado y los  $c(n)$  son los coeficientes de la transformada.

Existen varias maneras de implementar la 2D-IDCT: mediante algoritmos directos o recursivos hasta por aproximación [20]-[24]. Las más comunes son las implementaciones recursivas *fila-columna* mediante la multiplicación de matrices de datos y coeficientes, implementadas en este trabajo. Dentro de este tipo, encontramos el *algoritmo Chen-Smith* [24] que explota la periodicidad de las funciones coseno con el fin de reducir el flujo de datos y el número de operaciones implicadas en el proceso de transformación.

**3.1 Técnicas de bajo consumo de potencia en 2D-IDCT**

• **Multiplicadores de baja precisión**

Las unidades ROM-Accumulator, multiplicadores seriales o seriales-paralelos no son buenas alternativas para desarrollar las operaciones MAC necesarias en el cálculo de la 2D-IDCT, porque el aumento de las probabilidades de conmutación las hacen inviables desde el punto de vista del consumo de potencia y, además, se requieren ciclos de reloj extra para completar la operación. Los resultados de simulaciones realizadas, consignados en la Tabla 1, muestran que el multiplicador serial-paralelo tiene una potencia levemente superior, sin tener en cuenta la disipación adicional en el shift-register requerido. El tiempo variable de ejecución de la multiplicación, hace necesario un sistema adicional de control para la realización de las operaciones MAC con sus respectivos buffers de almacenamiento del resultado, cuyo tamaño puede ser variable. Esto implica un aumento en la complejidad del hardware y disipadores de potencia adicionales. Por otro lado, los multiplicadores paralelos establecen un buen compromiso entre la disipación y la rapidez, pero un aumento en el tamaño bits requerido para la precisión implica un gran tamaño de hardware. Por tanto, en este trabajo se usan multiplicadores paralelos a los cuales se les puede variar el tamaño de sus operandos, de acuerdo con la precisión requerida en las operaciones MAC.

Multiplicador	7bits	8bits	9bits	12bits
Paralelo	0.23mW	0.22mW	0.21mW	0.20mW
Serial-Paralelo	0.23mW	0.23mW	0.22mW	0.19mW
Tiempo de ejecución [uS]	3.0	3.4	3.8	5.0

Tabla 1: Potencia [mW] desarrollada por multiplicadores con diferentes tamaños de bit.

• **Salto de bloques nulos**

La probabilidad de ocurrencia de bloques nulos está ligada a la naturaleza misma del video y depende de factores intrínsecos en la secuencia de imágenes. Sin embargo, la suma de diferencia absoluta de error *SAE* (en inglés *SAD* (*Sum*

*Absolute Differences*)) y el valor del cuantizador *QUANT* juegan un papel preponderante, de tal forma que la probabilidad de ocurrencia aumenta para valores pequeños de *SAE* y altos de *QUANT*. La Figura 3, muestra las probabilidades de ocurrencia de bloques nulos para la secuencia de video carphone [25], en donde se puede observar que grandes valores de magnitud *Q* de la variable *QUANT* y pequeños de *SAE* generan probabilidades mayores del 90%. De hecho, para otras secuencias de video como Claire, Foreman y Miss America en [26] se reportan probabilidades del 93,8%, 94,34% y 92,9%.

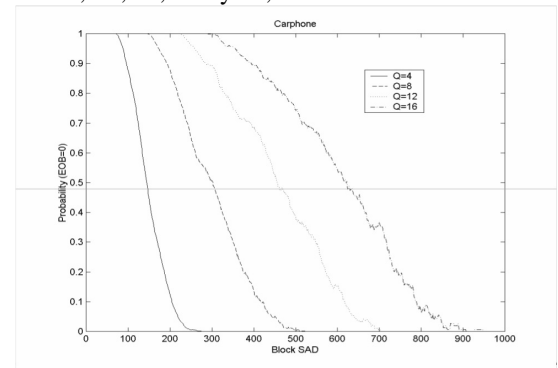


Figura 3: Probabilidad de ocurrencia de bloques nulos vr. SAD para varios valores de QUANT, tomada de [25].

El campo *CBP* (*Codec Block Pattern*) y el bit *COD* (*Codec Macroblock Indication*) en el streaming de video, proporcionan información acerca de la ocurrencia de bloques de coeficientes nulos, de tal forma que se pueda evitar el cálculo de la 2D-DCT/IDCT para dichos bloques.

Una implementación en hardware para la detección de bloques nulos se observa en la Figura 4, en donde la señal *START\_MB* indica el comienzo de 1 macrobloque (4 bloques de Y y 2 de crominancia) y el *RESET* del contador es controlado por la señal *START\_2D-IDCT*. Si no hay nueva información en el macrobloque (*COD=1*) no es necesario realizar el cálculo y *SKIP=1*, pero si *COD=0* entonces el cálculo dependerá de si está en modo INTER y si existe o no un coeficiente DC o un bloque nulo. Cuando *COD=0*, para cada bloque de luminancia y/o crominancia el bit *CBP* es guardado y transferido secuencialmente por cada macrobloque; en modo INTER, si el coeficiente DC del bloque es diferente de cero y algún *CBP* de luminancia/crominancia es 1, entonces *SKIP=1*. Esta decisión se toma en la capa del macrobloque y, por tanto, no afecta la arquitectura interna del módulo 2D-IDCT.

• **Reducción de conmutación en memoria**

La estrategia consiste en disminuir o desactivar la actividad del reloj en los flip-flops del circuito sin que esto afecte la función realizada.

Las unidades de memoria usadas en la 2D-IDCT contienen el 99% de los flip-flops del circuito [26]. Como puede verse en la Tabla 2, si bien la memoria de transposición contiene el mayor porcentaje de flip-flops, está más tiempo inactiva que los flip-flops internos de la 1D-IDCT. Esto indica que si estas unidades de memoria en la 1D-IDCT se desactivan en los tiempos en los cuales no se realizan accesos de lectura/escritura, llevaría a una disminución del consumo de potencia.

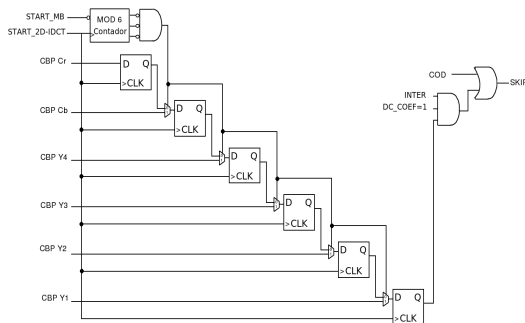


Figura 4: Hardware de detección de macrobloques y bloques nulos.

Unidad	Flip-Flops	Ciclos activos
Memoria de transposición	70,0%	2,04%
1D-IDCT	16,4%	32,2%
Registros de I/O	13,1%	16,3%

Tabla 2: Porcentajes y actividad de los Flip-Flops en cada unidad de la 2D-IDCT

La metodología de diseño del decodificador de baja potencia empieza definiendo el modelo RTL (Register Transfer Logic) en VHDL que describe todas las funciones del proceso del módulo escogido, en este caso, la 2D-IDCT. A éste se le realiza una prueba funcional con Xilinx ISE<sup>1</sup> introduciendo una secuencia de bloques provenientes de una imagen. Si el prototipo realiza la función adecuadamente entonces pasa a una etapa de análisis de diseño en la cual se modifica la arquitectura, a nivel de compuertas, con fin de disminuir el consumo de potencia teniendo en cuenta las técnicas de bajo consumo mencionadas. Finalmente si los resultados de simulación no son satisfactorios y no se obtuvo una mejora, entonces se intenta otra técnica de mejoramiento o incluso el planteamiento de otro algoritmo de cálculo 2D-IDCT.

#### 4. RESULTADOS

##### 4.1 Arquitectura básica (basic)

La implementación arquitectónica para la 2D-IDCT de la cual partió este trabajo, y se emplea como referencia, se muestra en la Figura 5.

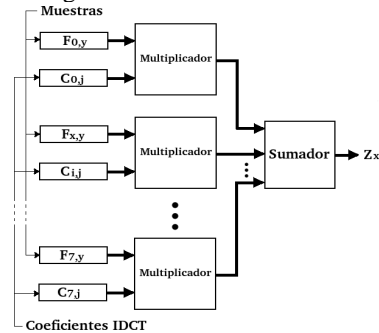


Figura 5: Bloque de MAC en Arquitectura básica para 2D-IDCT

La 2D-IDCT es calculada en dos pasos, mediante la multiplicación de 2 matrices de 8x8. Primero se calculan los valores intermedios  $Z_x$  que son almacenados traspuestos en el buffer de memoria y, finalmente, éstos son multiplicados por la matriz de coeficientes. Se utilizan 16 multiplicadores paralelos.

Los datos son recibidos en la entrada del módulo de forma serial. Cada 8 entradas son registradas y multiplicadas para generar los valores  $Z_x$ . Los coeficientes 2D-DCT de entrada al módulo están en complemento dos a 12 bits ( $-2048 < DCT2D < +2047$ ) y la salida en 9 bits ( $-256 < IDCT2D < +255$ ), siguiendo la recomendación en los apéndices A.3-A.5 del estándar H.263 [7]. Sin embargo, los tamaños de bits en la entrada, salida y operaciones MAC pueden ser modificados según se requiera, de tal manera que reduciendo la precisión se obtiene una reducción en el consumo de potencia de 1.94mW a 1.43mW, como se muestra en la Tabla 3.

Parámetro	12 bits	9 bits	8 bits	7 bits
Potencia dinámica [mW]	1.94	1.83	1.64	1.43

Tabla 3: Potencia dinámica vr. Precisión de la MAC en basic.

En el diseño esta arquitectura también se tienen en cuenta aspectos como los accesos de lectura/escritura en la memoria de almacenamiento, como se mencionó en la sección 3.1, evitando altas conmutaciones que aumenten la disipación.

##### 4.2 Arquitectura Chen (chen)

Para esta arquitectura se partió de la 2D-IDCT Recursiva propuesta en la Figura 6, en la cual se separan los índices pares e impares de una fila de 8 muestras de entrada y se realiza la IDCT en una dimensión mediante operaciones MAC de 4 subproductos pares e impares (ver figura 7). En este caso sólo se requieren 8 multiplicadores.

Una vez calculado y almacenados los resultados de ocho 1D-IDCTs sobre ocho filas, se procede a calcular nuevamente la 1D-IDCT recursivamente sobre 8 columnas almacenadas en una memoria interna (buffer de entrada).

<sup>1</sup><http://www.xilinx.com>

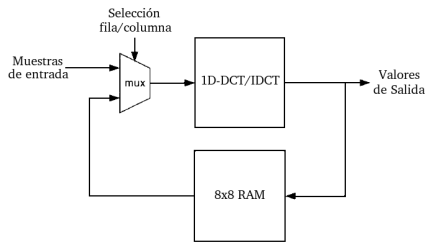


Figura 6: Implementación en hardware de 2D-DCT/IDCT recursiva

Al igual que la arquitectura inicial, los tamaños de bits de entrada, salida y MAC internas pueden ser modificados como se desee, de tal forma que una disminución de 12 a 7 bits ocasiona una reducción en el consumo de potencia de 1.74mW a 1.33mW, como puede verse en la Tabla 4.

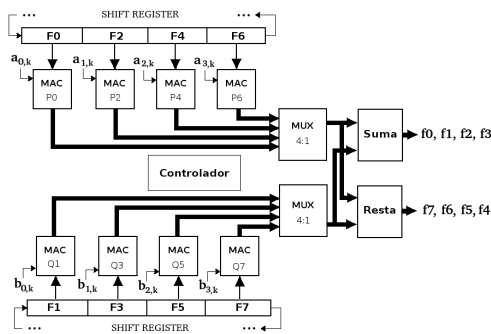


Figura 7: Arquitectura Chen para el cálculo de la 1D-IDCT

Parámetro	12 bits	9 bits	8 bits	7 bits
Potencia dinámica [mW]	1.74	1.65	1.54	1.33

Tabla 4: Potencia dinámica vr. Precisión de MAC en *chen*.

### 4.3 Arquitectura con detección de bloques nulos (basic-blocknull y Chen-blocknull)

En este caso, el bloque de 2D-IDCT tiene un bit de entrada SKIP que establece si se realiza el cálculo desactivando el módulo mediante la desconexión de la señal de reloj y generando un RESET en los datos de salida. La señal SKIP de entrada está establecida por las condiciones de los bits *CPB* y *COD* descritos en la sección 3.1.

Los resultados de simulación para 2 bloques de entrada (1 bloque muestra + 1 bloque nulo) para unidades MAC de 7 y 12 bits, se resumen en las tablas 5 y 6. Se obtiene una reducción mínima del 43% de la potencia al implementar la técnica en cada arquitectura.

2D-IDCT	12 bits	7 bits
basic	2.63 mW	2.04 mW
blocknull	1.82 mW	1.01 mW
% Reducción	69.2	49.5

Tabla 5: Resultados con MAC de 12 y 7 bits para *basic-blocknull*

2D-IDCT	12 bits	7 bits
chen	1.74 mW	1.33 mW
chen-blocknull	0.75 mW	0.63 mW
% Reducción	43	47

Tabla 6: Resultados con MAC de 12 y 7 bits para *chen-blocknull*

Una comparación de las arquitecturas implementadas se resume en la Tabla 7 en donde se aprecia que con la combinación de las diferentes técnicas en la arquitectura *Chen*, se alcanza una reducción hasta del 70% en la potencia dinámica de la 2D-IDCT, lo que implica una reducción de alrededor del 74% de la potencia en el Decodificador de video.

% Reducción de Potencia	12 bits	7 bits
blocknull	31	50
chen	34	35
chen-blocknull	63	70

Tabla 7: Porcentaje de reducción de potencia.

## 5. CONCLUSIONES

La 2D-IDCT es el módulo que más influencia tiene sobre el consumo de potencia en el decodificador de video. Este desarrolla aproximadamente el 86% de la potencia dinámica total. Por lo tanto, una reducción alrededor del 70% de la potencia dinámica consumida en éste, como la que se logra en este trabajo empleando las mejoras arquitectónicas propuestas, implica una reducción hasta del 74% el consumo total del decodificador.

Resultados publicados en [12] reportan un consumo de energía de  $48nJ$  en la implementación de 2D-IDCT mediante la síntesis del procesador *Montium* en tecnología de  $0,13\mu m$ . Si se compara la energía disipada por la 2D-IDCT *basic* de 12 bits desarrollada en este trabajo en 92 ciclos de reloj de  $200nS$  en tecnología de  $960nm$  se encuentra un valor de  $1,94mW \times 200nS \times 92 = 35,7nJ$ , que escalada a tecnología de  $0.13m$  resulta en un consumo de  $35,7nJ \times (0,13/0,096) = 48,3nJ$  la cual es del mismo orden.

Las mediciones de potencia en las arquitecturas *basic* y *Chen* revelan que existe un compromiso entre la precisión requerida y la potencia dinámica disipada. De tal forma que se puede lograr una reducción aproximada de 26,3% con errores en el bit LSB de salida en un bloque de  $8 \times 8$  de datos de entrada.

La 2D-IDCT recursiva basada en el algoritmo Chen proporciona una implementación modular y estructurada que permite la reutilización de código con una reducción del hardware en la implementación, además de una reducción hasta del 35% en la potencia disipada con respecto a la arquitectura *basic*.

La detección de bloques nulos proporciona una muy buena estrategia para reducir el consumo de potencia, logrando reducciones hasta de un 50% en la potencia en la arquitectura *basic* y de 70% en la arquitectura *Chen*. El impacto del aumento del hardware involucrado en la 2D-

IDCT en el proceso de la detección es despreciable, de tal forma que éste puede ser fácilmente implementado en las arquitecturas planteadas logrando disminuciones importantes en el consumo de potencia dinámica.

## 6. TRABAJO FUTURO

Los resultados demuestran que la detección de bloques combinada con la reducción de tamaño de bits es una estrategia efectiva en la reducción del consumo de potencia. Sin embargo, hasta este punto la reducción del tamaño de bits de datos se realiza de forma estática de acuerdo a los requerimientos de la aplicación que imponga el sistema.

Es posible desarrollar una estrategia dinámica adaptativa en la 2D-IDCT que dependa de algunos parámetros de calidad de la secuencia de video como el PSNR, MSE, MAE o SAE. Esto permitirá la desactivación de bits en los buses de datos, de tal forma que, dependiendo de la calidad deseada o naturaleza de la señal de video, se tenga una reducción aún mayor en el consumo de potencia.

## 7. BIBLIOGRAFÍA

- [1] ITU-RadioComunicacion Sector. Recommendation ITU-R BT.601-5, Studio encoding parameters of digital television for standard 4:3 and wide-screen 16:9 aspect ratios.
- [2] Madhukar Rudagavi, Weidi Rabitier Heiizelman, Jennifer Webb, and Raj Talluri. Wireless mpeg-4 video communication on dsp chips. *IEEE Signal Processing Magazine*, pages 36–53, January 2000.
- [3] Iain E.G. Richardson. *H.264 and MPEG-4 Video. Compression Video Coding for Next-generation Multimedia*. John Wiley & Sons, Ltd, 2003.
- [4] ITU-T. ITU-T Recommendation H.261 Video codec for audiovisual services at px64 kbit/s. Line transmission of non-telephone signals, March 1993.
- [5] ITU-T. Advanced video coding for generic audiovisual services, March 2005.
- [6] JTC 1/SC 29 Technical committee /subcommittee. ISO/IEC 11172-2 Coding of moving pictures and associated audio for digital storage media at up to about 1,5 Mbit/s -Part 2: Video.
- [7] ITU-T. Draft ITU-T Recommendation H.263 1996. Video Coding for Low Bitrate Communication, Version 2, 1998.
- [8] Enrico Macii. *Ultra Low-Power Electronics and Design*. Edited by Politecnico di Torino, Italy. eBook. ISBN: 1-4020-8076-X, 2004.
- [9] Liqiong Wei, Zhanping Chen, and Kaushik Roy. Mixed-vth (mvt) cmos circuit design methodology for low power applications. *School of Electrical and Computer Engineering Purdue University. Intel Corp, Hillsboro, 2000*.
- [10] Franco Casalinol, Gianluca Di Cagnol, and Ronco Lucal. Mpeg-4 video decoder optimization. *CSELT Centro Studi e Laboratori Telecomunicazioni S.p.A10148 Torino Italy Via Reiss Rornoli. IEEE, 1999*.
- [11] Mauricio Martina, Andrea Molino, and Fabrizio Vacca. Reconfigurable and low power ip for ubiquitous multimedia streaming. *Dipartimento di Elettronica, Politecnico di Torino Italy, 2002*.
- [12] G.K Rauwerda L.T Smit and G.J.M. Smith A. Molderink, P.T. Wolkotte. Implementation of a 2-d 8x8 idct on the reconfigurable motium core. *IEEE Explore, 2007*.
- [13] Seonyoung Lee and Kyeongsoon Cho. Design of a low-power real-time wavelet codec circuit. *The 10th Korean Conference on Semiconductors, Seoul, Korea, pages 27–28, February 2003*.
- [14] Vallejo V. Mónica Ayde and Aedo Cobo Jose Edinson. Adigimo: una plataforma de hardware para computación móvil. *Grupo de Microelectrónica y Control, Universidad de Antioquia, Medellín-Colombia, 2006*.
- [15] J. Echeverri and J. Aedo. Reconfiguración remota de fpgas para dispositivos móviles. *XIII Workshop Iberchip, pages 25–228, Marzo 2007*.
- [16] Khurram Bukhari, Georgi Kuzmanov, and Stamatis. Dct and idct implementations on different fpga technologies. *Vassiliadis Computer Engineering Lab, Delft University of Technology, The Netherlands, 2006*.
- [17] A. Gayasen, Y. Tsai, N. Vijaykrishnan, M. Kandemir, and M.J. Irwin. Reducing leakage energy in fpgas using region-constrained placement. *Dept. of Computer Science and Engineering Pennsylvania State University University Park and Xilinx Research Labs, 2004*.
- [18] Gene Amdahl. Validity of the single processor approach to achieving large-scale computing capabilities. *AFIPS Conference Proceedings, 30:483–485, 1967*.
- [19] Khurram Zaka Bukhari. Visual data transforms comparison. Master's thesis, Computer Engineering Laboratory, Faculty of Information Technology and Systems, Delft University of Technology, The Netherlands, August 2002.
- [20] F. A. Kamangar and K. A. Rao. Fast algorithms for the 2-d discrete cosine transform. *Trans. IEEE Computers, 31:9, September 1982*.
- [21] M. Vetterli. Fast 2-d discrete cosine transform. *Proc. IEEE ICASSP, 1985*.
- [22] E. Feig and S. Winograd. Fast algorithms for the discrete cosine transform. *IEEE Transactions on Signal Processing, 40:2174–2193, September 1992*.
- [23] E. Scopa, A. Leone, R. Guerrieri, and G. Baccarani. A 2-d dct low-power architecture for h.261 coders. *1995 International Conference on Acoustics, Speech, and Signal Processing, 5:3271–3274, May 1995*.
- [24] W-H. Chen, C. H. Smith, and S. C. Fralick. A fast computational algorithm for the discrete cosine transform. *IEEE Trans. Communications, COM-25, 9, September 1977*.
- [25] Yafan Zhao. *Complexity Management for Video Encoders*. PhD thesis, Robert Gordon University, 2004.
- [26] Nathaniel J. August and Dong Sam Ha. Low power design of dct and idct for low bit rate video codecs. *IEE Transactions on Multimedia, 6, June 2004*.