



**Diseño de sistema electrónico de acople de la tarjeta KRIA y el Analog-Front-End (AFE)
5808AEVM**

Valentina Restrepo Jaramillo

Trabajo de grado presentado para optar al título de Ingeniero Electrónico

Modalidad de Práctica

Trabajo de Grado

Tutor

Fabián Andrés Castaño Úsuga, Doctor (PhD) en Ingeniería Electrónica y de Computación

Universidad de Antioquia

Facultad de Ingeniería

Ingeniería Electrónica

Medellín, Antioquia, Colombia

2025

Cita	Valentina Restrepo [1]
Referencia	[1] Valentina Restrepo Jaramillo, “Diseño de sistema electrónico de acople de la tarjeta KRIA y el Analog-Front-End (AFE) 5808AEVM Trabajo de grado profesional, Ingeniería Electrónica, Universidad de Antioquia Medellín, Antioquia, Colombia, 2025.
Estilo IEEE (2020)	



Grupo de Investigación Instrumentación Científica y Microelectrónica.



Centro de Documentación Ingeniería (CENDOI)

Repositorio Institucional: <http://bibliotecadigital.udea.edu.co>

Universidad de Antioquia - www.udea.edu.co

El contenido de esta obra corresponde al derecho de expresión de los autores y no compromete el pensamiento institucional de la Universidad de Antioquia ni desata su responsabilidad frente a terceros. Los autores asumen la responsabilidad por los derechos de autor y conexos.

A mis padres, mi amado y mis gatos, por ser mi apoyo en mi proceso, mi consejero incondicional y mi compañía en las noches de estudio, respectivamente.

Agradezco infinitamente al grupo de Instrumentación Científica por haber sido mi hogar durante más de dos años, especialmente a mi asesor Fabián por su paciencia, conocimiento y voluntad.

TABLA DE CONTENIDO

RESUMEN.....	9
ABSTRACT	10
I. INTRODUCCIÓN	11
II. OBJETIVOS	13
A. Objetivo general	13
B. Objetivos específicos	13
III. MARCO TEÓRICO	14
IV. METODOLOGÍA	32
V. ANÁLISIS DE RESULTADOS	50
VI. CONCLUSIONES Y RECOMENDACIONES.....	55

LISTA DE ILUSTRACIONES

Ilustración 1 Configuración de la línea de luz LBNF en el Fermilab	16
Ilustración 2 Haz de neutrinos y detector cercano en DUNE de Fermilab en Illinois	19
Ilustración 3 Instalación SURF	20
Ilustración 4 Principio de operación del SP LArTPC.	21
Ilustración 5 Estructura y dimensiones de los LArTPC	21
Ilustración 6 Esquema de la producción de luz de centelleo en argón.....	22
Ilustración 7 Forma de señales capturadas por el PDS	23
Ilustración 8 Esquema general del Cold y Warm Electronics para el detector cercano en DUNE	24
Ilustración 9 Tarjeta DAPHNE Versión 1	26
Ilustración 10 Diagrama de bloques del hardware de la versión 1 de DAPHNE.....	27
Ilustración 11 Diagrama de bloques del firmware de la versión 1 de DAPHNE.....	27
Ilustración 12 Esquema simplificado de un canal front-end analógico completo para DAPHNE	
Versión 2	29
Ilustración 13 Correcta alimentación para el encendido del AFE5808A EVM	32
Ilustración 14 Esquema inicial para la primera versión de la tarjeta de acople	32
Ilustración 15 Esquemáticos para la versión 1 de la tarjeta de acople	33
Ilustración 16 Características Digitales.....	34
Ilustración 17 10 señales LVDS	34
Ilustración 18 Resistencias entre señales LVDS	36
Ilustración 19 Medición de distancia entre PMODs de la Kria KR260 usando el software Fusion360	
.....	37
Ilustración 20 Mediciones para las restricciones mecánicas de la tarjeta de acople	37
Ilustración 21 Ubicación de conectores SW-106-08-S-D-RA en Altium Designer.....	38
Ilustración 22 Perfil de temperatura para la soldadura del conector QSH-060-01-L-D-A	39
Ilustración 23 Ensamblaje del conector QSH-060-01-L-D-A de montaje superficial	39
Ilustración 24 Ensamblaje del conector QSH-060-01-L-D-A de montaje superficial	40
Ilustración 25 Conexión de la primera versión de la tarjeta de acople con el AFE5808AEVM y la	
Kria KR260	40
Ilustración 26 Pinout para el conector J1	41

Ilustración 27 Pinout para el conector J2	41
Ilustración 28 Pinout para el conector J3	41
Ilustración 29 Pinout para el conector J4	42
Ilustración 30 Vista 3D de la tarjeta DAPHNE versión 3.....	42
Ilustración 31 Esquemático PMODs 1 y 2	44
Ilustración 32 Esquemático SOM_1 Connector.....	44
Ilustración 33 Diagrama de bloques de periféricos de la tarjeta Kria Kr260	45
Ilustración 34 Diseño de los conectores para el control del AFE y la recepción de señales LVDS	46
Ilustración 35 PCB de la tarjeta DAPHNE versión 3.....	47
Ilustración 36 Señales LVDS de uno de los AFE5808A de DAPHNE versión 3.....	47
Ilustración 37 Etapa de potencia para la versión 2 de la tarjeta de acople	48
Ilustración 38 Diagrama de bloques para pruebas	48
Ilustración 39 Diagrama de Bloques del Pipeline de Pruebas.....	49
Ilustración 40 Pruebas de continuidad para señales LVDS.....	50
Ilustración 41 Pruebas de continuidad para señales del bus de datos SPI.....	51
Ilustración 42 Tarjeta de acople versión 1 con mejoras vista frontal.....	52
Ilustración 43 Tarjeta de acople versión 1 con mejoras vista trasera.....	52
Ilustración 44 Prueba configuración del AFE con la Kria	53
Ilustración 45 Resultado del alineamiento de datos usando una señal diente de sierra generada internamente por el AFE50808A	54

SIGLAS, ACRÓNIMOS Y ABREVIATURAS

AFE	Front-end Analógico (<i>Analog Front-End</i>)
AXI	Interfaz Extensible Avanzada (<i>Advanced eXtensible Interface</i>)
DAPHNE	Electrónica de detección para la adquisición de fotones de neutrinos (<i>Detector electronics for Acquiring PHotons from Neutrinos</i>)
DAQ	Adquisición de Datos (<i>Data Acquisition</i>)
DSP	Procesadores de señales digitales (<i>Digital Signal Processor</i>)
DUNE	Experimento de Neutrinos Subterráneo Profundo (<i>Deep Underground Neutrino Experiment</i>)
EMI	Interferencia Electromagnética (<i>Electromagnetic interference</i>)
FELIX	Intercambio de Enlaces Front-End (<i>Front-End Link eXchange</i>)
FPGA	Matriz de Puertas Programable en Campo (<i>Field Programmable Gate Array</i>)
IEEE	Instituto de Ingenieros Eléctricos y Electrónicos (<i>Institute of Electrical and Electronics Engineers</i>)
LArTPC	Cámara de Proyección Temporal de Argón Líquido (<i>Liquid Argon Time-Projection Chamber</i>)
LHC	Gran Colisionador de Hadrones (<i>Large Hadron Collider</i>)
LVDS	Señalización diferencial de bajo voltaje (<i>Low-voltage differential signaling</i>)
PCB	Placa de circuito impreso (<i>Printed Circuit Board</i>)
PD	Detección de Fotones (<i>Photon Detection</i>)
PDS	Sistema de Detección de Fotones (<i>Photon Detection System</i>)
PL	Lógica Programable (<i>Programmable Logic</i>)
PS	Sistema de Procesamiento (<i>Processing System</i>)
SiPMs	Fotomultiplicador de Silicio (<i>Silicon Photomultiplier</i>)
SOC	Sistema en un Chip (<i>System on Chip</i>)
SOM	Sistema en un Módulo (<i>System on Module</i>)
SPI	Interfaz de Periféricos en Serie (<i>Serial Peripheral Interface</i>)
SURF	Centro de Investigación Subterránea de Sanford (<i>Sanford Underground Research Facility</i>)

TPC Cámara de Proyección Temporal (*Time-Projection Chamber*)
UdeA Universidad de Antioquia (*University of Antioquia*)
USB Bus Serie Universal (*Universal Serial Bus*)

RESUMEN

El Deep Underground Neutrino Experiment (DUNE) es una colaboración internacional que busca profundizar en el estudio de los neutrinos, partículas subatómicas clave en la comprensión de la asimetría entre materia y antimateria. Para este propósito, el experimento requiere de la implementación de tecnologías de detección y de procesamiento de señales que se encuentran en la frontera del conocimiento. La Universidad de Antioquia como miembro de la colaboración ha tenido acceso a parte de esta tecnología la cual es necesario poner en marcha para aportar en el desarrollo de algoritmos y hardware para el experimento. En este marco, el presente trabajo de grado tiene como objetivo diseñar un sistema electrónico de acople entre la tarjeta de desarrollo Kria KR260 SOM y el Analog-Front-End AFE5808AEVM, esenciales en el sistema de detección de fotones del experimento DUNE.

La metodología seguida en este proyecto incluye la identificación y selección de componentes electrónicos compatibles con los sistemas de desarrollo especializados, el diseño de esquemáticos y layout de la PCB mediante software de diseño electrónico como Altium, y el enrutamiento de las conexiones siguiendo las reglas de diseño y las restricciones propuestas según la tecnologías de los sistemas de desarrollo, garantizando la integridad de señales, el control de impedancia y el factor de forma. Además, se desarrollarán algoritmos embebidos para validar la correcta configuración del AFE y la adquisición de datos.

Como resultados se espera obtener un sistema funcional que permita la correcta transmisión de señales entre los dispositivos involucrados, demostrando la viabilidad del diseño en simulaciones y pruebas físicas. Conclusiones preliminares sugieren que este sistema no solo optimizará el proceso de pruebas en el marco del experimento DUNE, sino que también podrá ser empleado como modelo para el desarrollo de sistemas similares en aplicaciones científicas y tecnológicas.

***Palabras clave* — DUNE, Sistema de Adquisición de Datos, Diseño Electrónico, Photon Detection System, Física de Neutrinos.**

ABSTRACT

The Deep Underground Neutrino Experiment (DUNE) is an international collaboration aimed at advancing the study of neutrinos, subatomic particles crucial for understanding the asymmetry between matter and antimatter. To achieve this, the experiment requires the implementation of detection and signal processing technologies that are at the forefront of knowledge. As a member of the collaboration, the University of Antioquia has gained access to some of this technology, which needs to be activated to contribute to the development of algorithms and hardware for the experiment. In this context, the objective of this thesis is to design an electronic coupling system between the Kria KR260 SOM development board and the Analog-Front-End AFE5808AEVM, essential components in the photon detection system of the DUNE experiment.

The methodology followed in this project includes the identification and selection of electronic components compatible with specialized development systems, the design of schematics and PCB layout using electronic design software like Altium, and the routing of connections following design rules and constraints based on the technologies of the development systems, ensuring signal integrity, impedance control, and form factor. Additionally, embedded algorithms will be developed to validate the correct configuration of the AFE and data acquisition.

The expected results include a functional system that enables the proper transmission of signals between the involved devices, demonstrating the viability of the design through simulations and physical tests. Preliminary conclusions suggest that this system will not only optimize the testing process within the framework of the DUNE experiment but can also serve as a model for the development of similar systems in scientific and technological applications.

***Keywords* — DUNE, DAQ System, Electronic Design, PDS, Neutrino Physics.**

I. INTRODUCCIÓN

El Deep Underground Neutrino Experiment (DUNE) es un esfuerzo internacional orientado al estudio de los neutrinos, partículas fundamentales que desempeñan un papel crucial en la comprensión de fenómenos como la asimetría entre materia y antimateria, y el desbalance energético en decaimientos radioactivos. Este experimento busca, entre otros objetivos, estudiar las oscilaciones de neutrinos, acotar los rangos de masa de estas partículas y evaluar la relación de estas con los eventos de supernovas [1], para lo cual requiere sistemas electrónicos de alto rendimiento que garanticen la captura y procesamiento eficiente de las señales provenientes de los detectores.

El sistema de adquisición de datos (DAQ) hace parte del Photon Detection System (PDS), uno de los dos grandes detectores diseñados para el experimento junto al Time Projection Chamber (TPC) que evalúan la producción de fotones altamente energéticos y el desplazamiento de electrones producto de la ionización producida por la interacción nuclear respectivamente. El sistema PDS está conformado principalmente por la tarjeta DAPHNE, un sistema electrónico de digitalización de alta velocidad con capacidad de procesar y transmitir hasta 30 GB/s, esta tarjeta utiliza múltiples módulos Analog-Front-End (AFE) AFE5808A y la plataforma Kria KR260 SOM para digitalizar y procesar señales con baja relación señal a ruido [2]. Sin embargo, la integración directa entre la Kria y el AFE presenta limitaciones de diseño y acceso debido a que ambos son componentes electrónicos especializados y requieren de electrónica muy específica para su funcionamiento, lo que genera la necesidad de una solución alternativa para validar su funcionamiento y cumplir con los requisitos específicos del experimento DUNE.

Para adelantar en el desarrollo de algoritmos y hardware para el funcionamiento del experimento, una alternativa es utilizar sistemas de desarrollo especializados para cada uno de los componentes cruciales dentro del diseño, como lo son la Kria K26 y el AFE5808A, sin embargo estos sistemas vienen aislados e independientes y la forma de hacer que se comuniquen requiere de un diseño de acople con características especiales determinadas por los protocolos de comunicación, las velocidades de transmisión de datos, los acoples de impedancias y los niveles lógicos de voltaje que cada sistema puede manejar.

Es por este motivo que el presente trabajo tiene como objetivo diseñar un sistema electrónico que conecte la tarjeta Kria KR260 SOM y el AFE5808AEVM, garantizando la integridad de las señales, el control de impedancia y el manejo de señales de alta frecuencia. Este proyecto optimiza el proceso de validación de algoritmos y configuraciones en el marco de la colaboración Universidad de Antioquia-DUNE, fortaleciendo el desarrollo de hardware, software y firmware asociados al experimento.

La metodología incluye la selección de componentes electrónicos compatibles, el diseño de esquemáticos y PCB mediante software especializado, y el desarrollo de algoritmos embebidos para pruebas funcionales. Los resultados esperados son un sistema funcional que permita la transmisión eficiente de señales y que contribuya al desarrollo de una tarjeta electrónica con las funcionalidades esenciales de DAPHNE para la Universidad de Antioquia.

II. OBJETIVOS

A. Objetivo general

Diseñar un sistema electrónico que acople la tarjeta KRIA y el Analog-Front-End (AFE) AFE5808AEVM, asegurando la integridad de las señales, control de impedancia y capacidad para manejar señales de alta frecuencia en el orden de MHz.

B. Objetivos específicos

1. Identificar componentes electrónicos y su compatibilidad, teniendo en cuenta integridad de señales, integridad de potencia y acople electromagnético.
2. Implementar en software especializado librerías de componentes electrónicos necesarios para el diseño esquemático y layout del sistema electrónico de acople.
3. Realizar el enrutamiento del layout de la PCB, asegurando que las conexiones entre los elementos electrónicos cumplan con las reglas de diseño electrónico necesarias para mantener la integridad de señales y potencia en el sistema de acople.
4. Desarrollar y ejecutar algoritmos de prueba embebidos para validar el funcionamiento del sistema de acople entre la tarjeta KRIA y el AFE5808AEVM, verificando la correcta configuración y adquisición de datos.

III. MARCO TEÓRICO

1. Contexto del Experimento

Los neutrinos, la segunda partícula subatómica más abundante en el universo, ocupan un lugar central en la física moderna debido a su capacidad de revelar fenómenos fundamentales del universo. A diferencia de otras partículas, los neutrinos interactúan débilmente con la materia, lo que los hace difíciles de detectar, pero también portadores de información valiosa sobre procesos astrofísicos y el origen del universo. Comprender sus propiedades, como las oscilaciones de neutrinos y su masa, permite explorar física más allá del Modelo Estándar, abriendo caminos hacia nuevas teorías y conceptos en la ciencia [1], [2].

El estudio de los neutrinos también es esencial para desentrañar la asimetría entre materia y antimateria. Según el modelo del Big Bang, materia y antimateria deberían haberse aniquilado en cantidades iguales, dejando un universo vacío. Sin embargo, el hecho de que el universo observable esté compuesto principalmente de materia sugiere que procesos desconocidos favorecieron la creación de materia. La física de neutrinos podría proporcionar pistas cruciales para resolver este enigma [3], [5].

Los neutrinos actúan como mensajeros cósmicos. Al ser generados en procesos extremos como supernovas, fusiones de estrellas de neutrones o incluso en el corazón de los agujeros negros, los neutrinos escapan de estas regiones densas casi sin interactuar con la materia, llegando a la Tierra con información intacta sobre estos eventos [6]. El experimento DUNE desempeñará un papel crucial en este contexto, sirviendo como un observatorio para eventos astrofísicos y facilitando alertas tempranas a telescopios asociados alrededor del mundo. Esta capacidad de coordinación interdisciplinaria fortalecerá la comprensión de fenómenos astronómicos y mejorará las capacidades predictivas de los modelos actuales [7], [8].

La física de neutrinos trasciende el ámbito teórico para convertirse en un campo con aplicaciones prácticas emergentes:

Física energética: Los neutrinos podrían ser utilizados en sistemas de monitoreo de reactores nucleares, ofreciendo una herramienta segura y confiable para la supervisión y el control de materiales nucleares [10].

Tecnología de detección: Los desarrollos en sensores y electrónica de alta precisión, diseñados específicamente para la detección de neutrinos, han generado tecnologías con aplicaciones potenciales en áreas como la seguridad, la física médica, las telecomunicaciones y la exploración espacial. Estos avances pueden mejorar los sistemas de diagnóstico médico, las comunicaciones satelitales y los sensores para misiones interplanetarias [11].

Los desafíos técnicos asociados al estudio de neutrinos han llevado al desarrollo de tecnologías innovadoras en áreas como la electrónica, el diseño de sensores y la computación de alto rendimiento. El experimento DUNE, por ejemplo, utiliza sistemas avanzados de adquisición de datos (DAQ) que permiten procesar señales en tiempo real y manejar volúmenes masivos de información. Estos avances no solo benefician al experimento, sino que también tienen implicaciones para otras disciplinas, como la física de partículas, la astrofísica, la física médica y la ingeniería. Además, la colaboración internacional en proyectos como DUNE fomenta el intercambio de conocimiento y fortalece las capacidades científicas y tecnológicas a nivel global [12].

2. *Experimento DUNE*

El Deep Underground Neutrino Experiment (DUNE) es un esfuerzo científico internacional diseñado para abordar preguntas fundamentales de la física de partículas y el cosmos. Liderado por el Fermilab en Estados Unidos, DUNE se centra en el estudio de los neutrinos, partículas subatómicas con una masa extremadamente pequeña y una interacción débil con la materia. Este proyecto involucra una colaboración de más de 1,000 científicos e ingenieros de 30 países, destacándose como uno de los experimentos más ambiciosos en la física moderna.

2.1 ¿Qué es DUNE?

El experimento se lleva a cabo en dos instalaciones principales. En Fermilab, ubicado en Illinois, se genera un haz intenso de neutrinos mediante un acelerador de partículas de última generación. Este haz viaja 1,300 kilómetros a través de la corteza terrestre hacia el Sanford Underground Research Facility (SURF), en Dakota del Sur, sin necesidad de un túnel físico, gracias a la capacidad única de los neutrinos para atravesar la materia casi sin interactuar. En SURF, los detectores de DUNE están instalados a 1.5 kilómetros bajo tierra, un entorno que proporciona aislamiento natural contra la radiación cósmica y el ruido ambiental, condiciones críticas para garantizar la precisión de las mediciones [3].

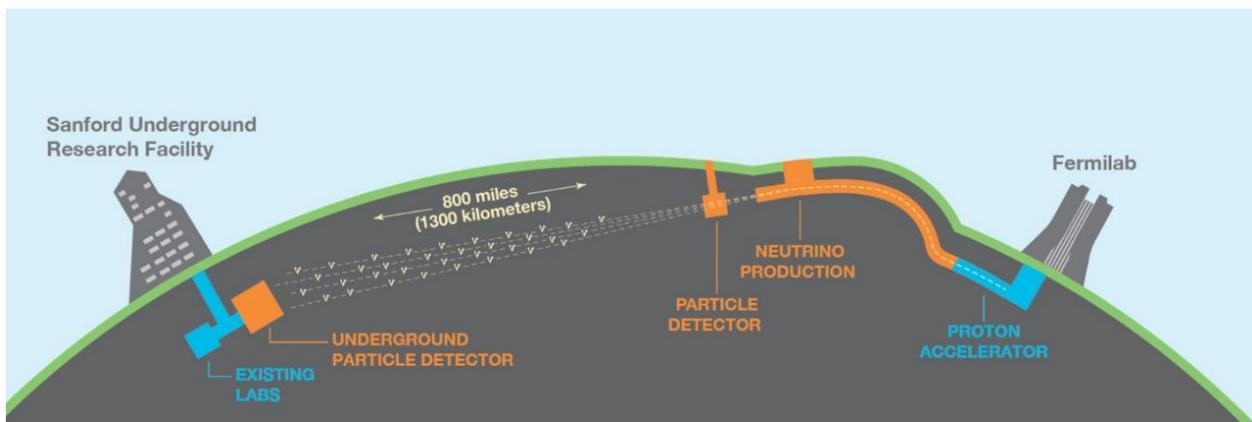


Ilustración 1 Configuración de la línea de luz LBNF en el Fermilab

Nota: Fuente <https://cds.cern.ch/record/2709272/files/2002.02967.pdf>

El diseño de DUNE incluye detectores subterráneos masivos compuestos por cámaras de proyección temporal (TPCs) inmersas en criostatos llenos de argón líquido. Cada módulo de detección tiene una capacidad aproximada de 14,000 toneladas de argón, sumando un total de 70,000 toneladas para todo el experimento. El uso del argón líquido es fundamental debido a sus propiedades únicas. Cuando un neutrino interactúa con un núcleo de argón, se generan partículas cargadas que producen ionización y luz de centelleo. Estas señales son registradas con precisión milimétrica por las TPCs, permitiendo la reconstrucción detallada de los eventos. Además, el argón líquido, al operar a temperaturas criogénicas, reduce la contaminación por radiación ambiental y mejora la sensibilidad del sistema [7].

La escala de DUNE y su infraestructura representan un avance sin precedentes en la física de neutrinos. Los detectores están diseñados no solo para estudiar las oscilaciones de neutrinos y la jerarquía de sus masas, sino también para detectar neutrinos generados en explosiones de supernovas. Estos eventos permitirán a los científicos enviar alertas tempranas a observatorios astronómicos en todo el mundo, facilitando una observación conjunta de estos fenómenos extremos. Además, el desarrollo tecnológico impulsado por DUNE, desde sistemas criogénicos avanzados hasta técnicas de procesamiento de datos masivos, tiene aplicaciones que van más allá de la física fundamental, impactando áreas como la exploración espacial, la seguridad nuclear y la computación de alto rendimiento [10].

2.2 Objetivos del Experimento

"El experimento DUNE aborda misterios fundamentales como la preponderancia de la materia sobre la antimateria en el universo temprano, las dinámicas de los estallidos de neutrinos en supernovas que generaron los elementos pesados esenciales para la vida y la posible desintegración de protones. Estas cuestiones son clave para comprender la evolución temprana del universo, su estado actual y su destino final" [6].

Uno de los principales objetivos de DUNE es investigar la asimetría entre materia y antimateria. Según el Modelo Estándar, el Big Bang debería haber producido cantidades iguales de materia y antimateria, las cuales se habrían aniquilado mutuamente. Sin embargo, el universo observable está compuesto casi exclusivamente de materia, lo que sugiere la existencia de un proceso que favoreció la materia sobre la antimateria en las primeras etapas del universo. DUNE estudiará las diferencias entre los comportamientos de neutrinos y antineutrinos para explorar si estas partículas tienen un papel en esta asimetría [3].

Además, DUNE se propone determinar la jerarquía de masas de los neutrinos. Aunque se ha confirmado que los neutrinos tienen masa, su distribución relativa (cuál es más pesado y cuál más ligero) sigue siendo desconocida. Este experimento utilizará un haz de neutrinos de alta intensidad que viajará 1,300 kilómetros a través de la corteza terrestre, permitiendo medir con precisión las oscilaciones de los neutrinos y resolver esta incógnita [5].

Otro objetivo clave de DUNE es actuar como observatorio para eventos astrofísicos extremos, como explosiones de supernovas. Los neutrinos generados durante estas explosiones proporcionan información valiosa sobre los procesos internos de las estrellas y las dinámicas del colapso gravitacional. DUNE, con su capacidad de detectar estos neutrinos en tiempo real, permitirá enviar alertas a telescopios y observatorios astronómicos en todo el mundo, facilitando estudios multidisciplinarios y simultáneos de estos fenómenos [4].

Por último, DUNE se orienta al desarrollo de tecnologías de vanguardia en sistemas de detección, adquisición de datos y análisis computacional. Los resultados del experimento no solo impactarán la física de partículas, sino que también tendrán aplicaciones prácticas en seguridad nuclear, exploración espacial y técnicas avanzadas de procesamiento de datos masivos [7].

2.3 Importancia del Experimento

El diseño de sistemas electrónicos para la integración de plataformas avanzadas, como la Kria KR260 SOM y el AFE5808AEVM, representa un desafío significativo en el ámbito de la ingeniería. Este tipo de desarrollo no solo responde a necesidades científicas específicas, como las planteadas por el experimento DUNE, sino que también impulsa avances tecnológicos en áreas clave como la adquisición de datos, el manejo de señales de alta frecuencia y el diseño de hardware robusto.

Desde una perspectiva ingenieril, este trabajo aborda problemas esenciales relacionados con la integridad de señales y el control de impedancia en sistemas de alta frecuencia, garantizando que los datos capturados sean precisos y estén libres de distorsión. Además, el proyecto enfrenta las limitaciones de acceso y compatibilidad del hardware existente y por ende, al diseñar una solución alternativa para la validación de tarjetas DAPHNE se ofrece una herramienta versátil que puede ser utilizada en bancos de pruebas para garantizar el rendimiento de estos sistemas.

La justificación de este desarrollo radica en su capacidad para fortalecer la colaboración entre instituciones académicas, como la Universidad de Antioquia, y experimentos internacionales

de gran escala como DUNE. Al proporcionar una solución funcional y adaptable, se fomenta el desarrollo local de tecnología avanzada, posicionando a la institución como un actor relevante en el diseño de hardware, firmware y software para aplicaciones científicas.

Este tipo de proyectos generan un impacto directo en la formación de científicos capaces de enfrentar desafíos complejos en entornos interdisciplinarios. El diseño y validación de sistemas electrónicos de este nivel no solo resuelven problemas inmediatos, sino que también sientan las bases para futuros desarrollos en aplicaciones industriales, médicas y científicas, ampliando las fronteras del conocimiento y la tecnología.

2.4 Componentes principales del Experimento

DUNE combina una infraestructura colosal y tecnologías avanzadas distribuidas en dos instalaciones principales, cada una con un propósito específico dentro del marco del experimento.

La primera instalación está ubicada en Fermilab, Illinois, donde se genera un haz de neutrinos de alta intensidad utilizando un acelerador de partículas de última generación. Este haz recorre 1,300 kilómetros a través de la corteza terrestre, sin necesidad de un túnel, gracias a la capacidad de los neutrinos de atravesar la materia casi sin interactuar. Fermilab actúa como el punto de partida para las mediciones de los neutrinos, garantizando un haz controlado que puede ser estudiado en detalle en su trayectoria hacia el detector [3].

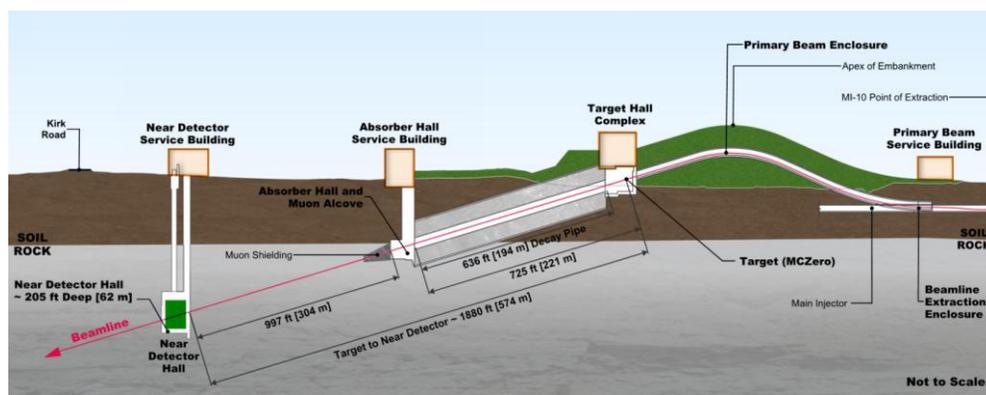


Ilustración 2 Haz de neutrinos y detector cercano en DUNE de Fermilab en Illinois

Nota: Fuente Deep Underground Neutrino Experiment (DUNE) Far Detector Technical Design Report Volume II

La segunda instalación se encuentra en el Sanford Underground Research Facility (SURF), Dakota del Sur, donde están alojados los detectores subterráneos de DUNE a una profundidad de 1.5 kilómetros. Este entorno proporciona un aislamiento natural contra la radiación cósmica y otros ruidos de fondo, esenciales para garantizar la precisión en la detección de interacciones neutrino-materia. Los detectores están inmersos en criostatos gigantes que contienen un total de 70,000 toneladas de argón líquido, distribuidas en cuatro módulos principales. Cada módulo actúa como un medio altamente sensible para capturar eventos de interacción neutrino-materia [7].

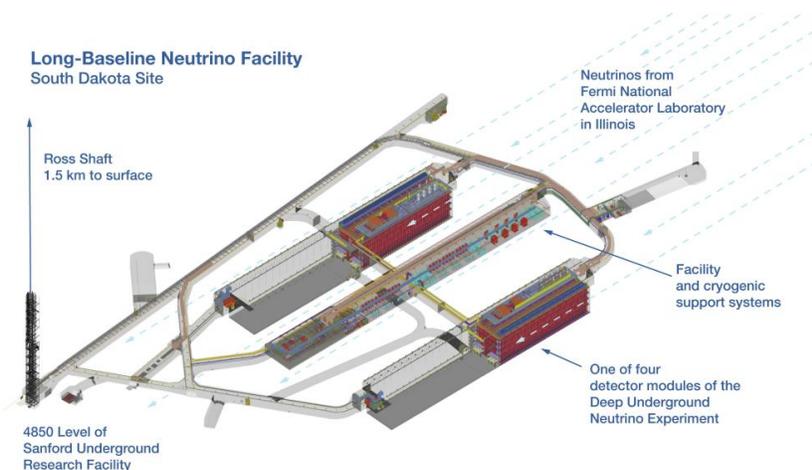


Ilustración 3 Instalación SURF

Nota: Fuente The DUNE-DAQ Application Framework Eric L. Flumerfelt for the DUNE Collaboration

Dentro de los detectores, las cámaras de proyección temporal (TPCs) son el componente clave para reconstruir las trayectorias de las partículas cargadas producidas en las interacciones. Estas cámaras registran las señales de ionización y permiten la reconstrucción tridimensional de los eventos con una resolución espacial milimétrica. Adicionalmente, el sistema de detección de fotones (PDS) capta la luz de centelleo generada en el argón líquido, proporcionando un marcador temporal preciso que complementa los datos de las TPCs [6].

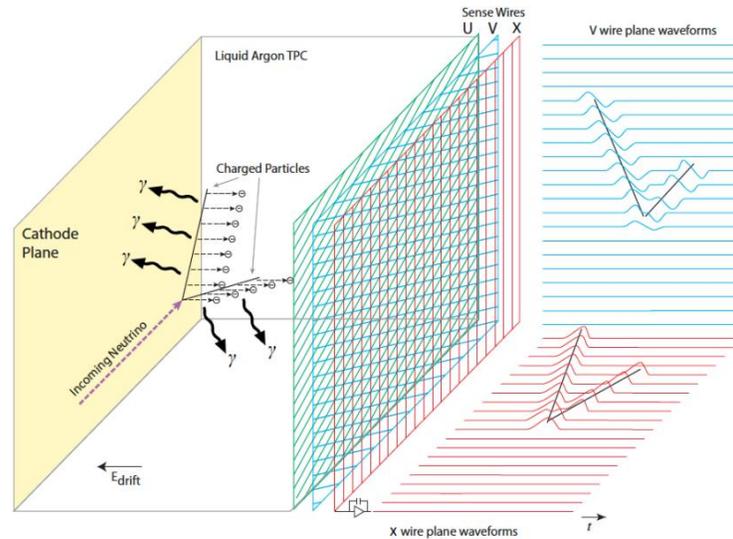


Ilustración 4 Principio de operación del SP LArTPC.

Nota: Fuente Deep Underground Neutrino Experiment (DUNE) Far Detector Technical Design Report Volume II

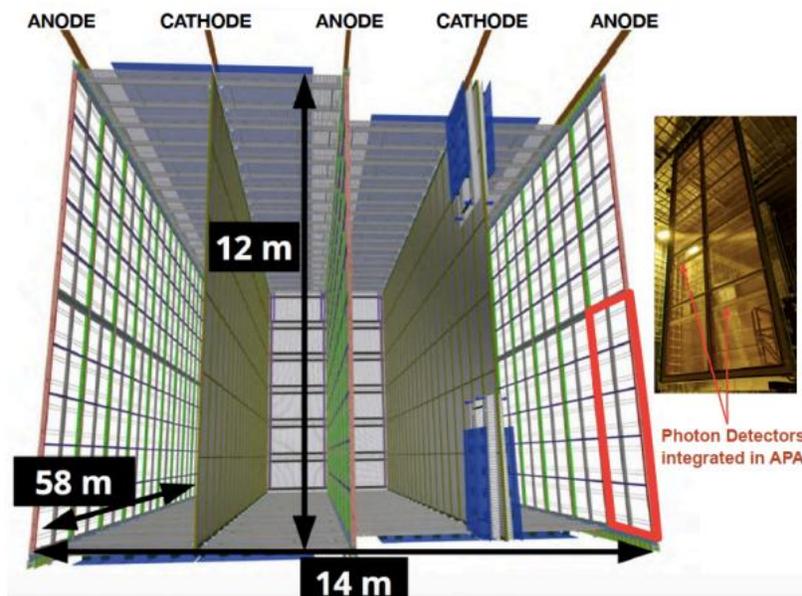


Ilustración 5 Estructura y dimensiones de los LArTPC

Nota: Fuente Front-end readout electronics for the PDS of the DUNE Experiment

El enfoque de este trabajo de grado se orienta al sistema de adquisición de datos (DAQ) del PDS. El sistema de adquisición de datos (DAQ) es otro componente crítico del experimento. Este sistema del PDS se encarga de registrar, procesar y transmitir grandes volúmenes de datos generados por los detectores, permitiendo el análisis en tiempo real y garantizando que no se

perda información valiosa. La combinación de estas tecnologías avanzadas asegura que DUNE pueda abordar los objetivos científicos del experimento con un nivel de precisión sin precedentes [8].

3. Photon Detection System (PDS)

El Sistema de Detección de Fotones (PDS) es un subsistema crítico dentro de los detectores de DUNE, específicamente los detectores lejanos, diseñado para complementar las mediciones realizadas por las cámaras de proyección temporal (TPCs). El PDS tiene como objetivo principal registrar la luz de centelleo generada cuando partículas cargadas, producto de la interacción de neutrinos con los núcleos de argón líquido, excitan las moléculas de este medio. Estas moléculas, al relajarse, emiten fotones en el rango ultravioleta (~ 128 nm), que son detectados por sistemas especializados de fotodetección.

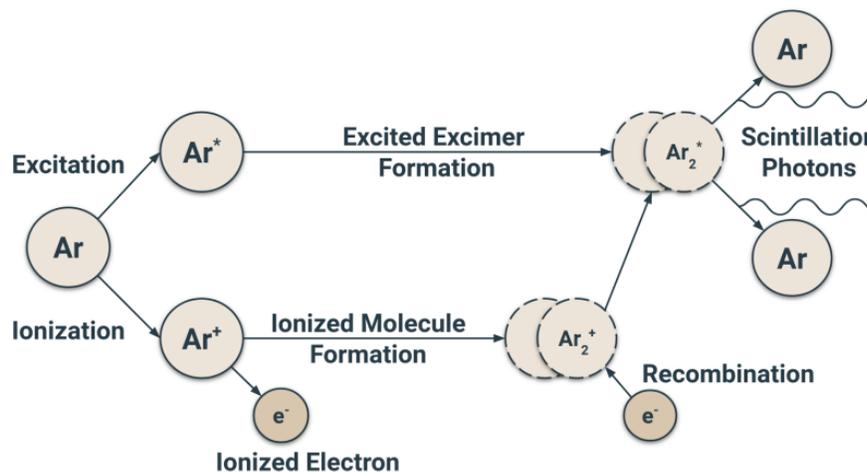


Ilustración 6 Esquema de la producción de luz de centelleo en argón

Nota: Fuente Deep Underground Neutrino Experiment (DUNE) Far Detector Technical Design Report Volume IV

El PDS utiliza una combinación de detectores de fotones, sistemas de conversión de longitud de onda, trampas ópticas (ARAPUCAs) y electrónica de alta velocidad para capturar y procesar la luz emitida. Los detectores de fotones principales son los módulos de fotodetectores (SiPMs) basados en matrices de fotomultiplicadores de silicio. Estos dispositivos ofrecen alta

sensibilidad, baja corriente de oscuridad y capacidad para operar en condiciones criogénicas. Las ARAPUCAs, diseñadas específicamente para el experimento DUNE, funcionan como trampas ópticas que optimizan la captura de fotones al emplear una combinación de materiales de conversión de longitud de onda y recubrimientos reflectantes, maximizando la eficiencia en la recolección de luz. Además, la tecnología de conversión de longitud de onda utiliza recubrimientos de tetrafenilo butadieno (TPB) que transforman la luz ultravioleta en fotones azules (~420 nm), facilitando su captura por los SiPMs [16].

Desde el punto de vista funcional, el PDS proporciona dos tipos de datos esenciales: señales de tiempo preciso, utilizadas como referencia temporal para los eventos detectados por las TPCs, y mediciones de intensidad de luz, que permiten estimar la energía depositada en las interacciones. Esto mejora significativamente la capacidad del detector para identificar, clasificar y reconstruir eventos de interacción neutrino-argón. Adicionalmente, el PDS tiene un papel crucial en la detección de señales de supernovas, donde los neutrinos producidos en estos eventos generan emisiones de luz que pueden ser registradas por el sistema, ofreciendo información valiosa sobre estos fenómenos astrofísicos extremos [20].

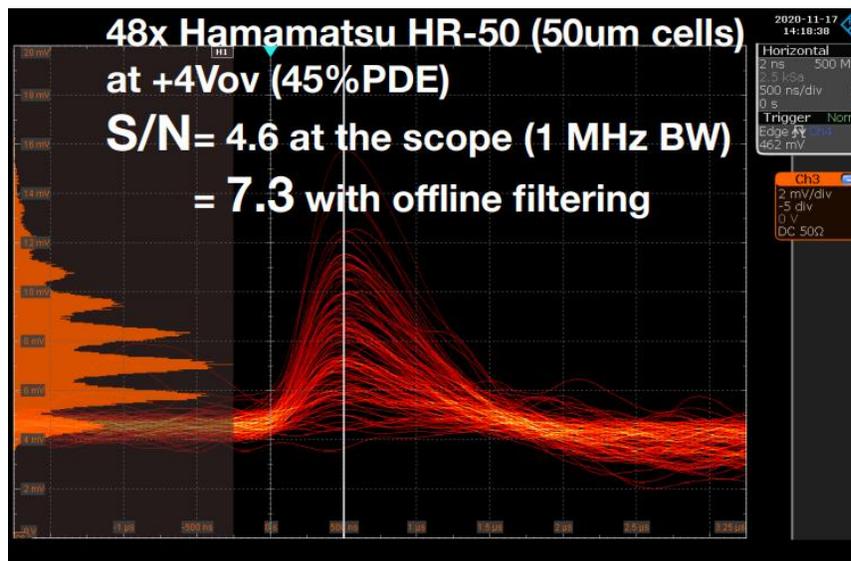


Ilustración 7 Forma de señales capturadas por el PDS

Nota: Fuente DUNE physics goals and experiment status

Las señales que son producidas por los SiPMs como el resultado de la detección de un fotón en los módulos de PD (Photon Detection) necesitan ser acondicionadas, digitalizadas, transferidas y almacenadas en este respectivo orden para poder alcanzar las metas propuestas en el experimento DUNE. Para clasificar y explicar la electrónica de lectura que garantiza lo anterior, el autor en [29] nos indica que la electrónica de lectura se clasifica en:

- **Cold Electronics:** Hace referencia a la electrónica perteneciente a la pre-amplificación de las señales producidas por los SiPMs. Esta electrónica opera cerca a los detectores a temperaturas de LAr.
- **Warm Electronics:** Se compone de las etapas electrónicas de post-amplificación, digitalización y transmisión de datos que operan a temperatura ambiente, así como la electrónica apoya y monitorea la operación del Cold Electronics.

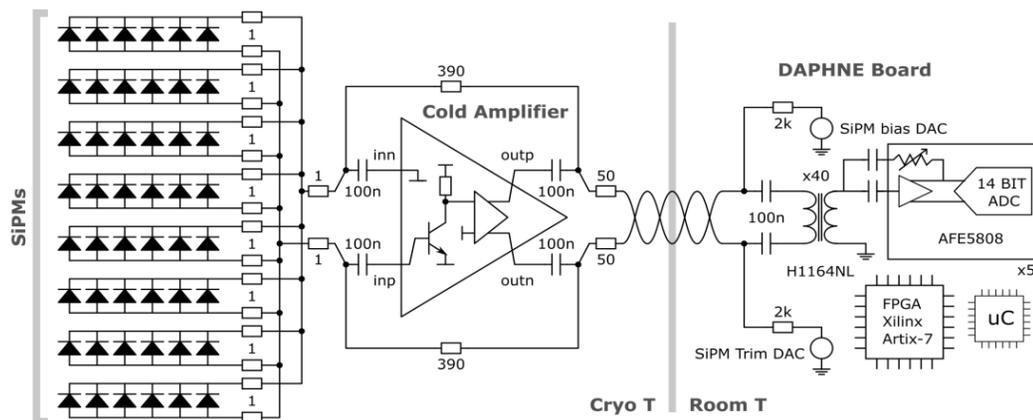


Ilustración 8 Esquema general del Cold y Warm Electronics para el detector cercano en DUNE

Nota: Fuente Development of the readout electronics for the DUNE Photon Detection System

Esta última es de gran interés para este trabajo de grado, pues es la Warm Electronics quien contiene el DAQ del PDS y su componente principal es la tarjeta DAPHNE.

En términos de diseño, el PDS está optimizado para cubrir un volumen de detección masivo, minimizando los puntos ciegos mediante una disposición estratégica de los módulos de fotodetectores en los criostatos. Esto garantiza una cobertura uniforme y una alta eficiencia de

detección, incluso para señales de baja intensidad. El sistema también está integrado con la electrónica de adquisición de datos (DAQ), lo que permite una sincronización precisa entre las señales ópticas y las detecciones realizadas por las TPCs [21].

3.1 Sistema de Adquisición de Datos (DAQ)

El PDS de DUNE no solo requiere la captura eficiente de la luz de centelleo, sino también un sistema avanzado de electrónica de lectura y adquisición de datos (DAQ) que permita procesar las señales ópticas generadas en tiempo real y con alta precisión.

La electrónica de lectura del PDS está diseñada para operar en condiciones criogénicas, soportando temperaturas de hasta $-186\text{ }^{\circ}\text{C}$ sin comprometer el rendimiento. Este sistema se basa en módulos de fotodetectores (SiPMs) que convierten los fotones detectados en señales eléctricas, las cuales son procesadas por circuitos electrónicos dedicados [18]. Estas señales, que pueden variar en intensidad dependiendo de la cantidad de luz de centelleo generada, son amplificadas, digitalizadas y enviadas al sistema de adquisición de datos (DAQ) para su análisis.

El DAQ del PDS desempeña un papel fundamental al registrar y sincronizar las señales provenientes de cientos de SiPMs distribuidos en cada módulo de detección. Este sistema debe manejar grandes volúmenes de datos con baja latencia y alta precisión temporal para garantizar la correlación adecuada entre los eventos ópticos detectados por el PDS y las mediciones realizadas por las cámaras de proyección temporal (TPCs). Además, el DAQ incluye algoritmos embebidos para la compresión y filtrado de datos, permitiendo que solo la información relevante sea transmitida al sistema central de análisis [17].

Una característica clave del DAQ del PDS es su capacidad para generar marcas de tiempo precisas, utilizadas para correlacionar los eventos detectados en múltiples módulos de detección. Esto es particularmente importante para identificar patrones de luz asociados a interacciones neutrino-argón o a fenómenos astrofísicos como los estallidos de neutrinos

provenientes de supernovas. El sistema utiliza protocolos avanzados de sincronización basados en relojes distribuidos, lo que permite una resolución temporal del orden de nanosegundos [22].

El diseño modular y escalable del DAQ también garantiza la capacidad de integrar mejoras futuras, tanto en hardware como en software. Por ejemplo, se han implementado circuitos integrados específicos para aplicaciones (ASICs) optimizados para operar en condiciones criogénicas, minimizando el ruido eléctrico y mejorando la eficiencia energética. Adicionalmente, el sistema se comunica con el DAQ general de DUNE, que centraliza la adquisición de datos de todos los subsistemas del experimento, garantizando una integración fluida y consistente [23].

3.2 DAPHNE: Sistema DAQ del PDS

El sistema de adquisición de datos (DAQ) del PDS en el experimento DUNE está basado en DAPHNE (Detector electronics for Acquiring PHotons from NEutrinos), una plataforma avanzada diseñada específicamente para capturar, procesar y transmitir las señales generadas por los módulos de detección de fotones. DAPHNE desempeña un papel central en el flujo de datos del experimento, asegurando que la información óptica relevante sea adquirida con precisión, procesada en tiempo real y enviada al sistema de análisis central.

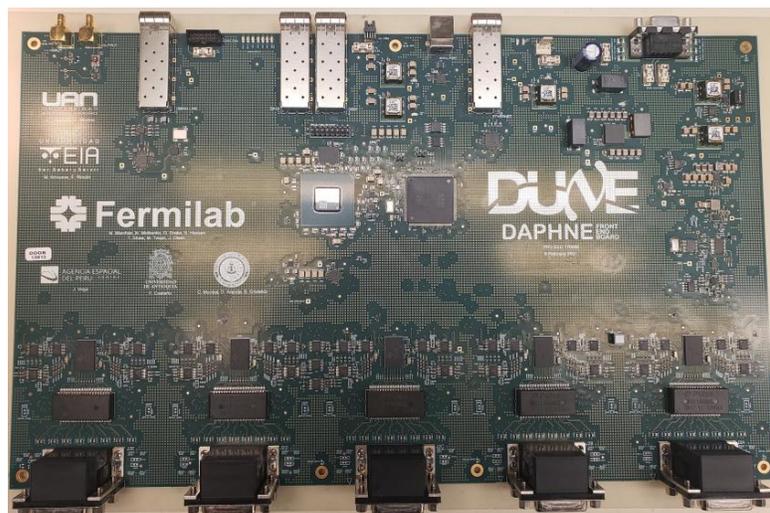


Ilustración 9 Tarjeta DAPHNE Versión 1

Nota: Fuente Electronic's Development for Detectors in High Energy Physics in the DUNE Experiment

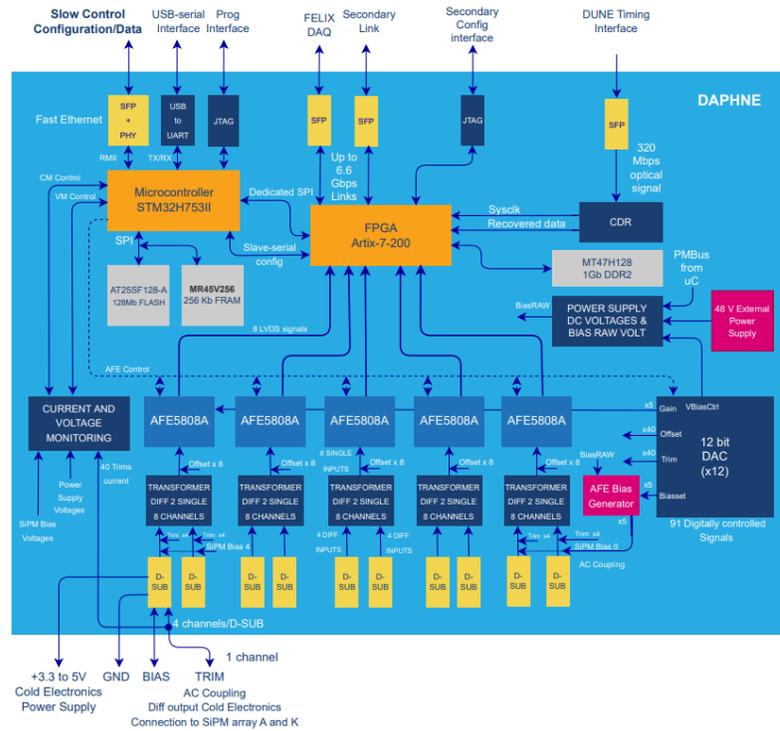


Ilustración 10 Diagrama de bloques del hardware de la versión 1 de DAPHNE

Nota: Fuente Electronic's Development for Detectors in High Energy Physics in the DUNE Experiment

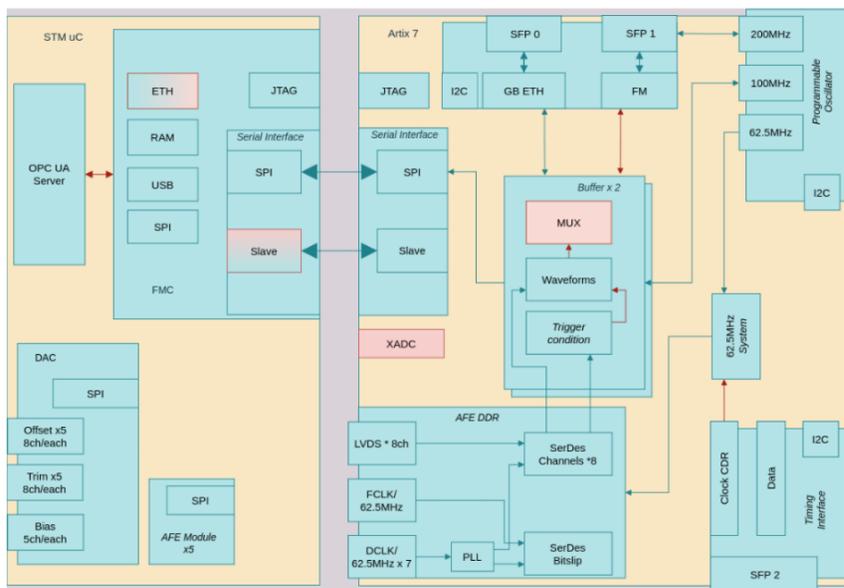


Ilustración 11 Diagrama de bloques del firmware de la versión 1 de DAPHNE

Nota: Fuente Electronic's Development for Detectors in High Energy Physics in the DUNE Experiment

Un aspecto clave de la arquitectura DAQ de DUNE, en la que se integra DAPHNE, es su diseño basado en el sistema Front-End Link eXchange (FELIX), desarrollado en el CERN para los experimentos del Gran Colisionador de Hadrones (LHC). FELIX proporciona una interfaz flexible y de alta velocidad entre los dispositivos de front-end, como los módulos de detección de fotones, y el sistema DAQ central. Esta arquitectura permite una transmisión eficiente y sincronizada de datos desde múltiples módulos distribuidos en el detector hacia el sistema global, garantizando la integridad de la información recolectada [28].

En el contexto del PDS, DAPHNE utiliza FELIX para gestionar el flujo de datos provenientes de los ASICs que amplifican y digitalizan las señales ópticas detectadas por los SiPMs. FELIX permite que estos datos sean organizados, empaquetados y transmitidos al sistema DAQ general sin comprometer la resolución temporal o espacial de los eventos registrados [26]. Además, el sistema facilita la distribución de marcas de tiempo y señales de sincronización a través de todo el experimento, asegurando una correlación precisa entre los eventos ópticos y las señales de las cámaras de proyección temporal (TPCs).

El uso de FELIX también refuerza la modularidad de DAPHNE, permitiendo que cada módulo gestione múltiples canales de entrada y procesando datos localmente antes de transmitirlos. Esto reduce la carga de datos enviada al sistema central, optimizando los recursos de almacenamiento y análisis. Gracias a su flexibilidad, DAPHNE puede escalarse y adaptarse a mejoras futuras, tanto en hardware como en software, manteniendo su desempeño frente a los crecientes requerimientos del experimento [27].

La tarjeta DAPHNE se compone de 40 canales analógicos de adquisición, diseñados para apoyar a 40 canales pertenecientes al Cold Electronics. Los componentes principales de la interfaz analógica son 5 chips AFE50808A, cada uno maneja 8 canales independientes.

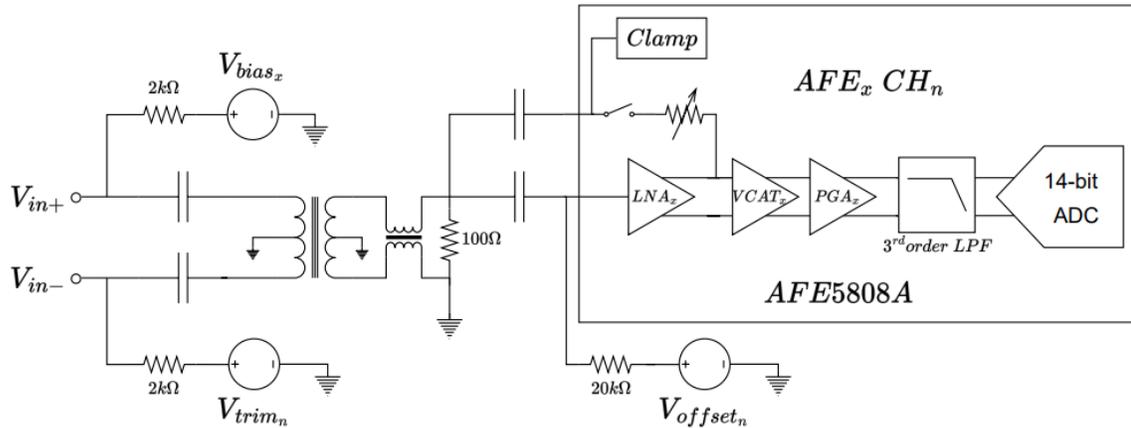


Ilustración 12 Esquema simplificado de un canal front-end analógico completo para DAPHNE Versión 2

Nota: Fuente Front-end Electronics for the DUNE Photon 3 Detection System.

El AFE5808A fue diseñado para su implementación en aplicaciones ultrasónicas que se aprovechan del efecto Doppler, tales como ecografías e inspección no destructiva de equipos. Cada canal del AFE5808A cuenta con su amplificador, filtro y ADC de 14 bits [30].

Dado el contexto en el que opera la tarjeta DAPHNE, el AFE5808A cuenta con características que lo hacen acorde al experimento.

El AFE5808A es controlado a través de una interfaz SPI, y la lectura de los datos se da a través de una interfaz LVDS utilizando un módulo basado en SERDES. La salida de datos de cada AFE5808A a la FPGA se hace a través de la interfaz LVDS, cada AFE transmite un total de 10 señales LVDS; 8 señales LVDS correspondientes a cada canal de este, 1 señal LVDS correspondiente al reloj de trama y 1 señal LVDS correspondiente al reloj digital [32].

El flujo de procesamiento en DAPHNE continúa más allá de los AFE5808A, donde las señales digitalizadas son procesadas, acondicionadas y preparadas para su transmisión al sistema DAQ global. Este procesamiento es gestionado principalmente por una FPGA integrada en el módulo Kria KR260 SOM, una plataforma avanzada que combina alta flexibilidad y potencia computacional en un diseño compacto.

El procesamiento de las señales recibidas por el Cold Electronics se divide en dos flujos principales: fast control y slow control, cada uno gestionado por diferentes componentes de la FPGA.

El fast control gestiona tareas críticas que requieren respuesta en tiempo real y baja latencia, siendo manejado principalmente por la Partición Lógica Programable (PL) de la FPGA. Esta partición utiliza recursos configurables como bloques de lógica, DSPs (procesadores de señales digitales) y memoria interna para llevar a cabo funciones clave como el procesamiento en tiempo real de las señales digitalizadas, que incluye compresión de datos, filtrado digital y generación de marcas de tiempo. Además, garantiza la sincronización precisa mediante señales que correlacionan eventos entre los módulos de DAPHNE y otros subsistemas del experimento, y genera señales de control que regulan el funcionamiento continuo de los ASICs y los AFE, optimizando su rendimiento en función de las condiciones del sistema [29].

El slow control se encarga de gestionar tareas relacionadas con la configuración, monitoreo y supervisión del sistema, siendo manejado por la Partición Lógica de Sistema (PS) de la FPGA, basada en un procesador ARM Cortex-A53 integrado en el módulo Kria KR260 SOM. Entre sus funciones principales se encuentran la configuración dinámica de parámetros operativos de los ASICs y SiPMs, como la ganancia y el rango dinámico, ajustándolos según las necesidades del experimento [31]. Además, supervisa variables críticas como temperatura, voltaje y consumo energético, asegurando la estabilidad del sistema, y realiza diagnósticos en tiempo real para detectar y reportar fallas, facilitando el mantenimiento y la resolución de problemas de los módulos de DAPHNE.

El SOM de la KRIA, integra un dispositivo Zynq UltraScale+ MPSoC. Este dispositivo combina un sistema de procesamiento embebido basado en procesadores Arm Cortex-A53 (para tareas de alto nivel y ejecución del sistema operativo), Arm Cortex-R5 (para control en tiempo real) y una FPGA programable (PL) [36], que permite implementar hardware personalizado para la gestión de señales y adquisición de datos. La comunicación eficiente entre el sistema de procesamiento (PS) y la lógica programable (PL) se realiza mediante buses AXI de alta velocidad, garantizando un intercambio de datos robusto y en tiempo real.

PetaLinux se utiliza en este proyecto para la programación y manejo del SOM, debido a sus ventajas para el desarrollo de sistemas embebidos. Esta herramienta permite crear distribuciones Linux altamente personalizadas, integrando fácilmente controladores y configuraciones específicas para hardware como la FPGA y los periféricos conectados. Entre sus principales beneficios destacan la capacidad de gestionar hardware heterogéneo, su compatibilidad con herramientas de Xilinx como Vivado, y la posibilidad de desarrollar aplicaciones en entornos Linux estándar, lo que facilita el control de dispositivos como el AFE5808AEVM. Además, ofrece un flujo de trabajo eficiente para cargar bitstreams y configurar la lógica programable, permitiendo pruebas y validaciones en tiempo real con un manejo sencillo de periféricos desde el procesador del sistema (PS).

No obstante, trabajar con PetaLinux también presenta ciertas dificultades. La curva de aprendizaje puede ser pronunciada debido a la complejidad de configurar kernels y controladores personalizados, así como a los requisitos específicos de hardware. Además, es fundamental contar con herramientas de desarrollo actualizadas y con experiencia en manejo de sistemas Linux para resolver posibles conflictos o errores durante el proceso de compilación y carga de imágenes. A pesar de estos retos, el uso de PetaLinux es esencial para proyectos como este, ya que proporciona un entorno robusto y flexible para manejar sistemas de adquisición de datos en aplicaciones científicas avanzadas como el experimento DUNE.

IV. METODOLOGÍA

Se implementaron pruebas con la tarjeta de desarrollo AFE5808AEVM para verificar su correcto encendido y el control del modo ADC a través de su periférico JP18



Ilustración 13 Correcta alimentación para el encendido del AFE5808A EVM

Para la primera versión de la tarjeta de acople, se definieron requisitos de hardware básicos pero precisos, con el objetivo de garantizar la transmisión confiable de los datos provenientes del AFE5808AEVM, que utiliza el protocolo LVDS. Estos lineamientos aseguran la integridad de las señales y cumplen con las especificaciones descritas por el autor en [33].

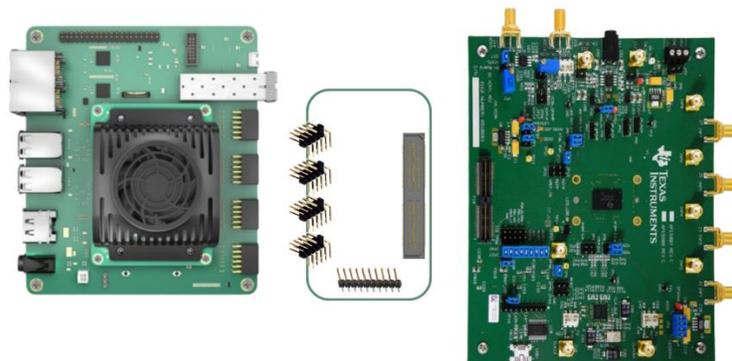


Ilustración 14 Esquema inicial para la primera versión de la tarjeta de acople

Como se muestra en la Ilustración 14, la primera versión de la tarjeta de acople debe incluir un conector QSH-060-01-L-D-A, que se corresponde con el conector QTH-060-01-L-D-A del AFE5808AEVM y que transportará las 10 señales LVDS. Además, se incorporarán cuatro conectores SW-106-08-S-D-RA, los cuales manejarán todas las señales que se transmitirán a través del conector QTH-060-01-L-D-A hacia la FPGA de la Kria. Asimismo, estos conectores permitirán el flujo de datos del USB Data Bus, necesario para el control del AFE desde la FPGA.

Finalmente, para el control del AFE a través del protocolo SPI, se dispondrá de un conector de 9 pines que se interconectará con el conector JP18 del AFE5808AEVM, que sirve como un punto de prueba para el bus de datos del sistema de configuración del AFE.

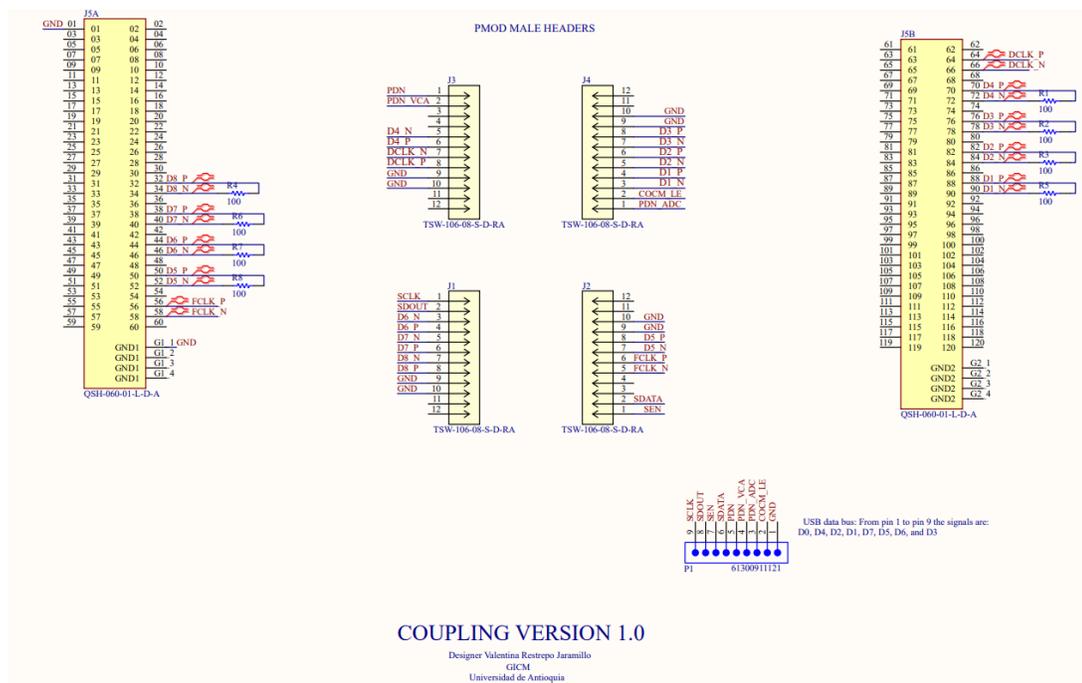


Ilustración 15 Esquemáticos para la versión 1 de la tarjeta de acople

Para el desarrollo de la PCB de esta tarjeta, se tuvieron en cuenta las recomendaciones que el autor en [34] y el fabricante en [35] brindan para las señales LVDS que salen del AFE5808A.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT ⁽¹⁾	
DIGITAL INPUTS AND OUTPUTS						
V _{IH}	Logic high input voltage	2		3.3	V	
V _{IL}	Logic low input voltage	0		0.3	V	
	Logic high input current		200		μA	
	Logic low input current		200		μA	
	Input capacitance		5		pF	
V _{OH}	Logic high output voltage		SDOUT pin	DVDD	V	
V _{OL}	Logic low output voltage		SDOUT pin	0	V	
LVDS OUTPUTS						
	Output differential voltage		With 100-Ω external differential termination	400	mV	
	Output offset voltage		Common-mode voltage	1100	mV	
	FCLKP and FCLKM		1X clock rate	10	65	MHz
	DCLKP and DCLKM		7X clock rate	70	455	MHz

Ilustración 16 Características Digitales

Nota: Fuente Hoja de Datos AFE5808A 0.75nV/√Hz, 65-MSPS, 158mW/Channel, Fully-Integrated, 8-Channel, 14- and 12-Bit, Ultrasound Analog Front-End With Passive CW Mixer.

La ilustración 16 indica la necesidad de una resistencia de 100 ohm entre la señal LVDS de cada canal del AFE, que tiene la tarea de generar el voltaje diferencial de salida en el receptor [34].

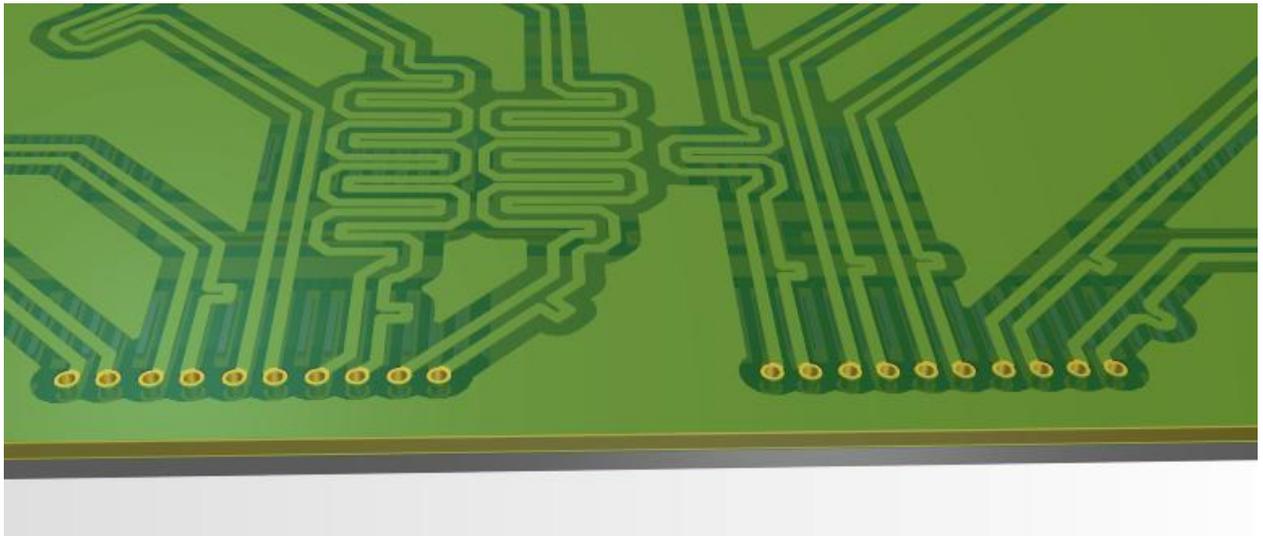


Ilustración 17 Señales LVDS que salen del conector QSH-060-01-L-D-A

En la ilustración 17 se presenta el trazado de las líneas de par diferencial con sintonización de longitud para garantizar la misma longitud para cada señal diferencial LVDS usando la herramienta para pares diferenciales en el software Altium Designer. En la ilustración 18 se muestran las resistencias de 100 ohm situadas entre las señales diferenciales de cada canal. Con esta sintonización de longitud se logra reducir la desincronización en las señales transportadas por los diferentes canales de digitalización.

En un diseño de alta velocidad, como el que utiliza señales LVDS, sintonizar la longitud de las pistas es crucial para garantizar la integridad de las señales y el correcto funcionamiento del sistema. Esto se debe a que las señales en un par diferencial deben llegar al receptor al mismo tiempo. Si las pistas tienen longitudes diferentes (fenómeno conocido como skew), se genera un desfase que puede provocar pérdida de datos, errores de sincronización y fallos en la decodificación de las señales en el receptor.

Adicionalmente, se diseña en par diferencial para reducir los efectos de señales de perturbación de alta frecuencia que puedan proceder del exterior del sistema y cambien el comportamiento de la señal. Por otra parte, también se consideró la reducción del fenómeno CrossTalk entre las diferentes señales de comunicación al realizar trazado perpendicular entre señales de diferentes capas y la adición del trazado serpenteante.

Además, en sistemas de alta velocidad como este, las señales tienen transiciones rápidas y operan en frecuencias elevadas, lo que las hace susceptibles a interferencias y reflexiones. Desajustes en la longitud de las pistas pueden causar reflexiones y aumentar el EMI, afectando negativamente la calidad de la señal. Por ello, herramientas avanzadas como las de Altium Designer permiten establecer reglas de diseño específicas para garantizar que las pistas tengan longitudes iguales, minimizando estos problemas.

La igualdad en las longitudes de las pistas también es fundamental para mantener el control de impedancia diferencial, que en el caso de LVDS suele ser de 100 ohm. Desajustes en la longitud de las pistas alteran la impedancia a lo largo del trazado, lo que puede provocar degradación de la señal y pérdidas de transmisión. Garantizar una longitud igual en ambas

pistas asegura que la impedancia diferencial se mantenga uniforme, preservando la integridad de las señales.

Otro aspecto crítico es la minimización del crosstalk, que ocurre cuando una señal en una pista afecta a las señales cercanas. En diseños de alta densidad, como este proyecto, pistas bien sintonizadas y adecuadamente espaciadas reducen significativamente este fenómeno, asegurando una transmisión de datos confiable.

En aplicaciones como las del experimento DUNE, donde se transmiten grandes volúmenes de datos a altas velocidades, la correcta sintonización de las pistas es esencial para evitar errores de bit y pérdida de información.

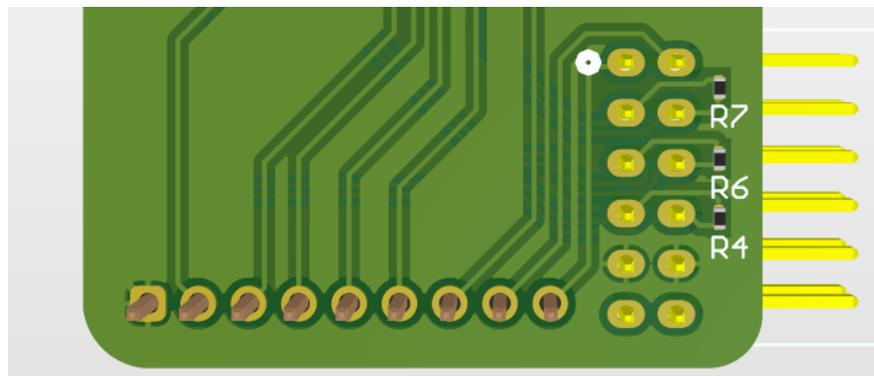


Ilustración 18 Resistencias entre señales de datos LVDS

En la ilustración 19 y 20 se implementan diferentes métodos para garantizar que se cumplan las restricciones mecánicas que la tarjeta de acople debe tener, tal como la separación entre los cuatro conectores SW-106-08-S-D-RA que encajarán con los PMODs de la Kria KR260, y el extremo de la PCB que no debe de chocar con los conectores JP51 y JP50.

Para conocer la distancia a la cual se encuentra cada conector PMOD del más próximo, se hizo uso del software Autodesk Fusion, que permitió una vista total de la tarjeta Kria al contar con su modelo 3D que brinda el fabricante. Se usó la herramienta para medir distancias entre el primer y el último pin de cada par de PMODs (ilustración 19). En el software Altium Designer,

se ubicó cada conector SW-106-08-S-D-RA a través de coordenadas para mayor exactitud (ilustración 21).

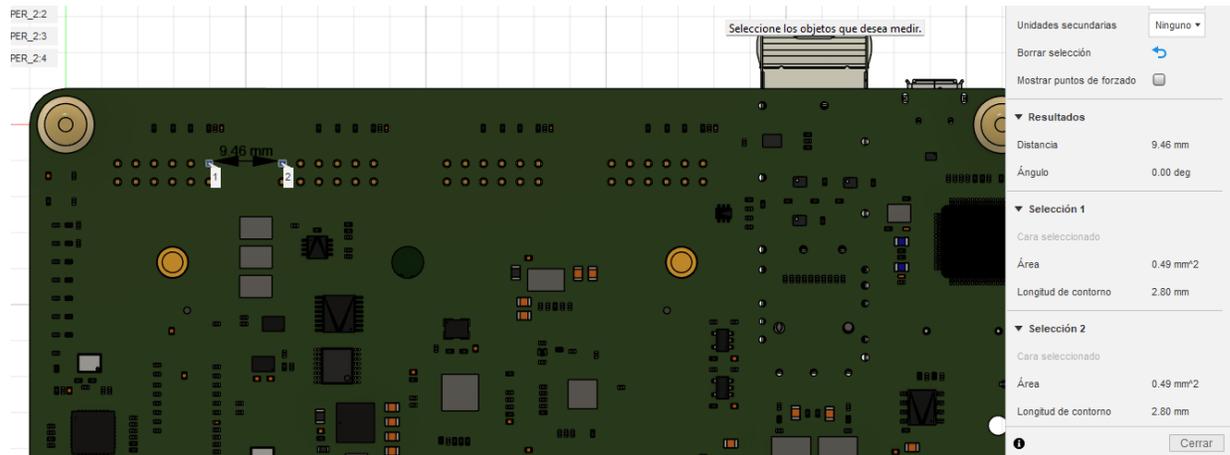


Ilustración 19 Medición de distancia entre PMODs de la Kria KR260 usando el software Fusion360



Ilustración 20 Mediciones para las restricciones mecánicas de la tarjeta de acople

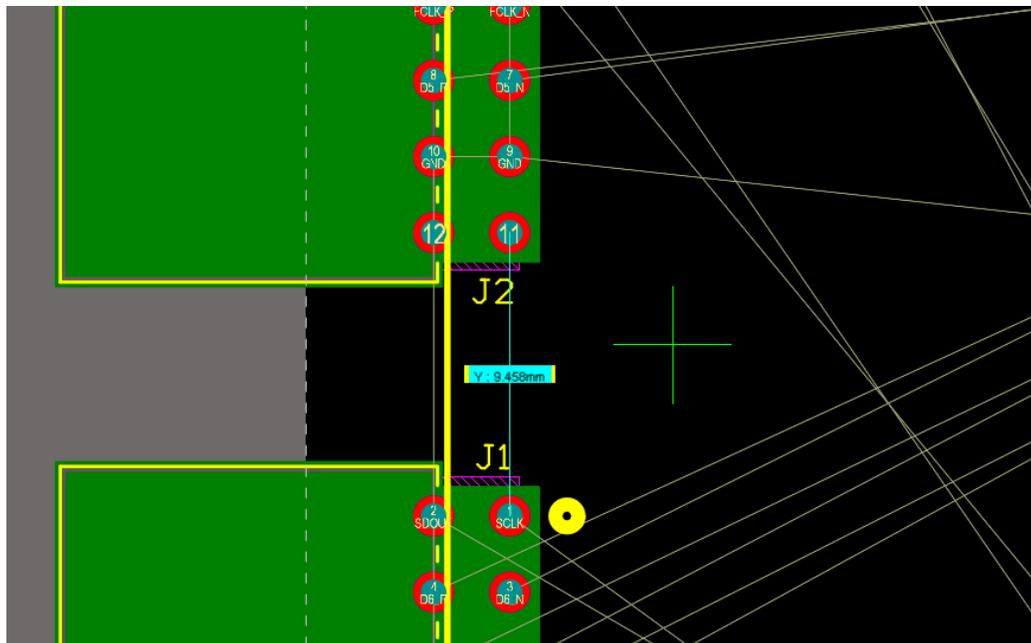


Ilustración 21 Ubicación de conectores SW-106-08-S-D-RA en Altium Designer

Tras completar el diseño de la primera versión, se enviaron los archivos necesarios al fabricante para su elaboración. Al tener el primer prototipo, se ensamblaron los conectores tal como se muestra en la ilustración 23 y 24.

Para ensamblar el conector QSH-060-01-L-D-A, se utilizó una plancha de soldadura en conjunto con pasta de soldar debido al pitch reducido de los pines del conector (distancia entre pines de 0.2mm, para un total de 120 pines), lo cual presenta desafíos significativos para su ensamblaje mediante técnicas manuales con cautín. Este enfoque permitió garantizar una transferencia eficiente de calor desde la plancha hasta la base del conector, logrando una fusión uniforme del material de soldadura y asegurando una fijación adecuada del componente a la PCB.

El proceso inició con un aumento gradual de la temperatura desde el ambiente hasta 350 °C en un lapso de 1 minuto, asegurando que los materiales alcanzaran la temperatura necesaria sin generar tensiones térmicas. Posteriormente, se mantuvo la temperatura constante a 350 °C durante 10 segundos para asegurar una fusión completa del material de soldadura y la correcta adhesión del conector a la PCB. Finalmente, la placa se retiró de la plancha, y se permitió un

enfriamiento con una caída exponencial de temperatura durante 20 segundos, lo que previno la formación de tensiones residuales y micro-fisuras en las uniones.

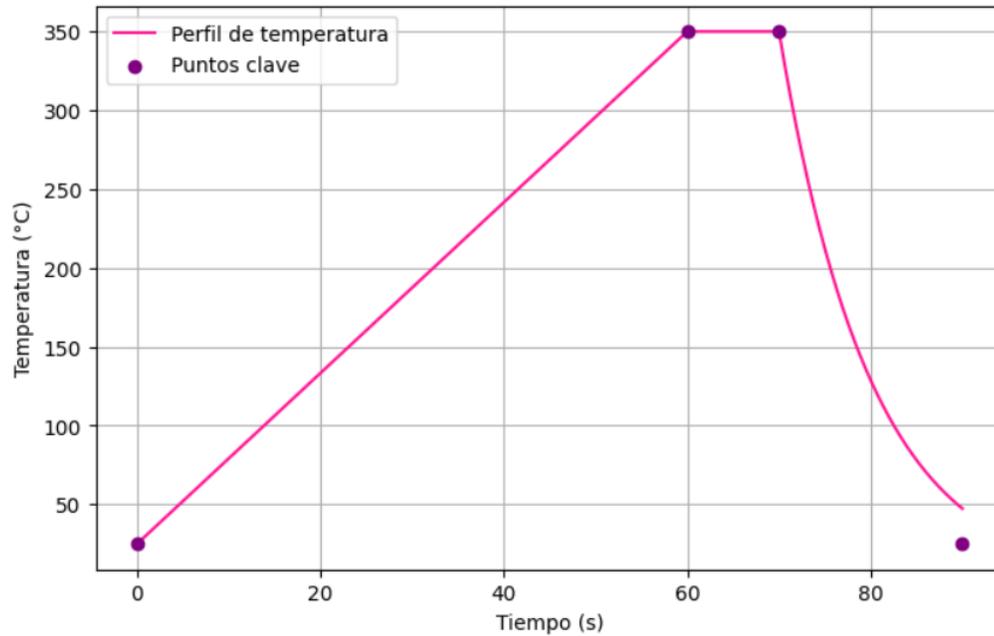


Ilustración 22 Perfil de temperatura para la soldadura del conector QSH-060-01-L-D-A

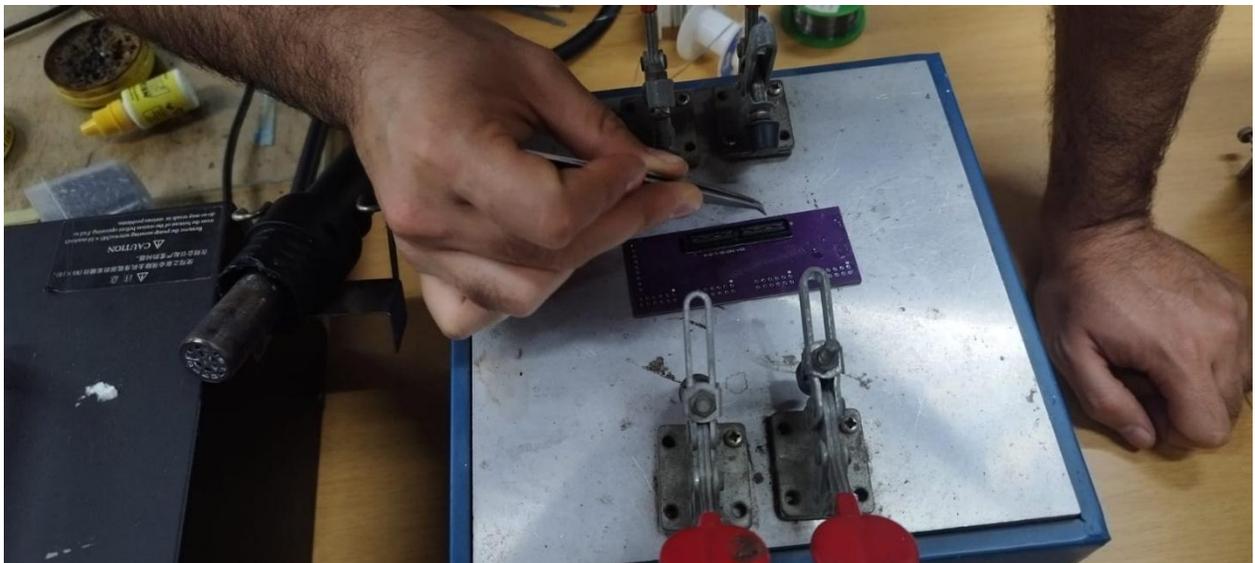


Ilustración 23 Ensamblaje del conector QSH-060-01-L-D-A de montaje superficial



Ilustración 24 Ensamblaje del conector QSH-060-01-L-D-A de montaje superficial



Ilustración 25 Conexión de la primera versión de la tarjeta de acople con el AFE5808AEVM y la Kria KR260

Finalmente, la Ilustración 25 muestra el acople correcto entre los conectores PMODs de la tarjeta Kria y los conectores SW-106-08-S-D-RA de la tarjeta de acople V1, así como la

conexión adecuada entre el conector QTH-060-01-L-D-A de la tarjeta AFE5808AEVM y el conector QSH-060-01-L-D-A de la tarjeta de acople V1.

PMOD 1 / Conector J1	Señal
1	SCLK
2	SDOUT
3	D6_N
4	D6_P
5	D7_N
6	D7_P
7	D8_N
8	D8_P
9	GND
10	GND
11	NC
12	NC

Ilustración 26 Pinout para el conector J1

PMOD 2 / Conector J2	Señal
1	SEN
2	SDATA
3	NC
4	NC
5	FCLK_N
6	FCLK_P
7	D5_N
8	D5_P
9	GND
10	GND
11	NC
12	NC

Ilustración 27 Pinout para el conector J2

PMOD 3 / Conector J3	Señal
1	PDN
2	PDN_VCA
3	NC
4	NC
5	D4_N
6	D4_P
7	DCLK_N
8	DCLK_P
9	GND
10	GND
11	NC
12	NC

Ilustración 28 Pinout para el conector J3

PMOD 4 / Conector J4	Señal
1	PDN_ADC
2	COCM_LE
3	D1_N
4	D1_P
5	D2_N
6	D2_P
7	D3_N
8	D3_P
9	GND
10	GND
11	NC
12	NC

Ilustración 29 Pinout para el conector J4

Para el desarrollo de la segunda versión de la tarjeta de acople, se propuso incluir el SOM Kria directamente, decisión fundamentada en su uso en la versión 3 de la tarjeta DAPHNE (Ilustración 30). Esta incorporación implica la integración de todos los componentes necesarios para su acondicionamiento, incluyendo elementos para comunicación, transmisión de señales, programación y la electrónica de alimentación correspondiente. Además, esta versión también incluirá el conector para la configuración del AFE5808AEVM a través del bus de datos USB y el conector QSH-060-01-L-D-A para comunicar las 10 señales LVDS con la FPGA directamente, consolidando las funcionalidades necesarias para su operación.

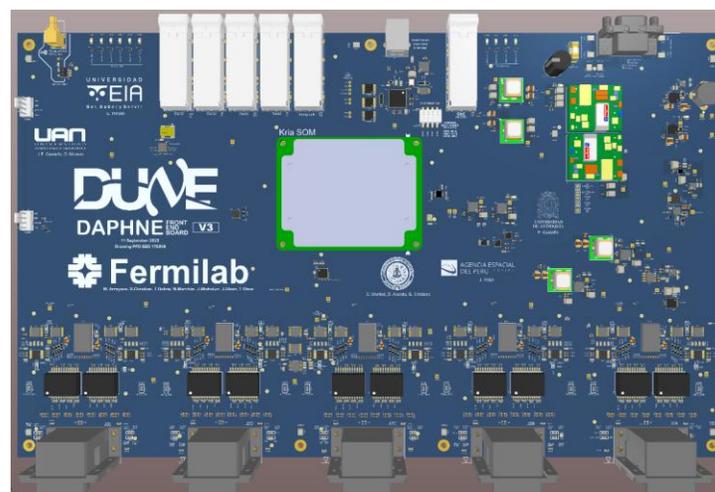


Ilustración 30 Vista 3D de la tarjeta DAPHNE versión 3

El diseño del acondicionamiento requerido para el SOM se basó en los esquemáticos oficiales de la tarjeta Kria. Para garantizar un funcionamiento óptimo, se implementaron las mismas referencias de componentes usadas por el fabricante, minimizando posibles problemas operativos.

La obtención de tarjetas DAPHNE presenta varias dificultades que justifican la necesidad de desarrollar un sistema de validación como el planteado en este trabajo de grado. En primer lugar, las tarjetas DAPHNE no pueden ser fabricadas sin el permiso explícito del equipo responsable del diseño principal (main-board), debido a estrictas políticas de seguridad y control asociadas al experimento DUNE. Además, estas tarjetas poseen un diseño altamente complejo, con una arquitectura de 14 capas que incrementa significativamente su costo de producción debido a la cantidad y especificidad de los componentes utilizados, así como al ensamblaje especializado que requieren.

Estas limitaciones hacen que el acceso a las tarjetas DAPHNE (incluso sin componentes) sea restringido, lo que dificulta su uso en pruebas experimentales. En este contexto, el sistema de validación desarrollado en este trabajo ofrece una solución práctica y eficiente, permitiendo la verificación del firmware, hardware y algoritmos de adquisición de datos sin necesidad de depender directamente de las tarjetas DAPHNE. Este enfoque no solo reduce costos, sino que también proporciona una herramienta robusta para asegurar el cumplimiento de los requerimientos del sistema de adquisición de datos del experimento DUNE.

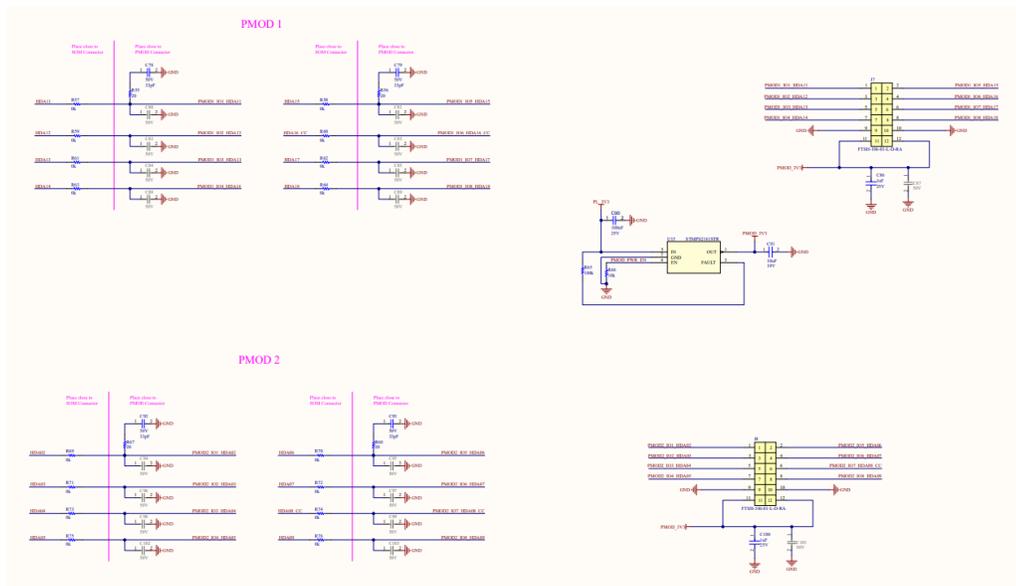


Ilustración 31 Esquemático PMODs 1 y 2

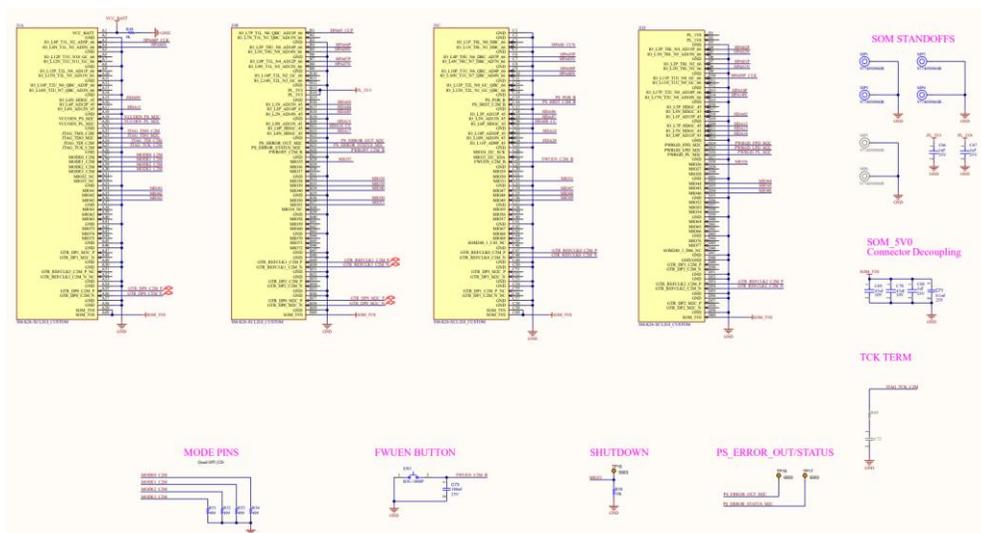


Ilustración 32 Esquemático SOM_1 Connector

Los elementos que se incluyeron de la tarjeta Kria Kr260 fueron:

- Cuatro conectores PMODs
- Conector Micro-SD
- USB/UART/JTAG FT4232

- Sistema de alimentación
- Relojes
- Cuatro conectores Ethernet
- Conector Raspberry Pi 2x20 GPIO
- SLVS_EC Hirose DF40C-60DP

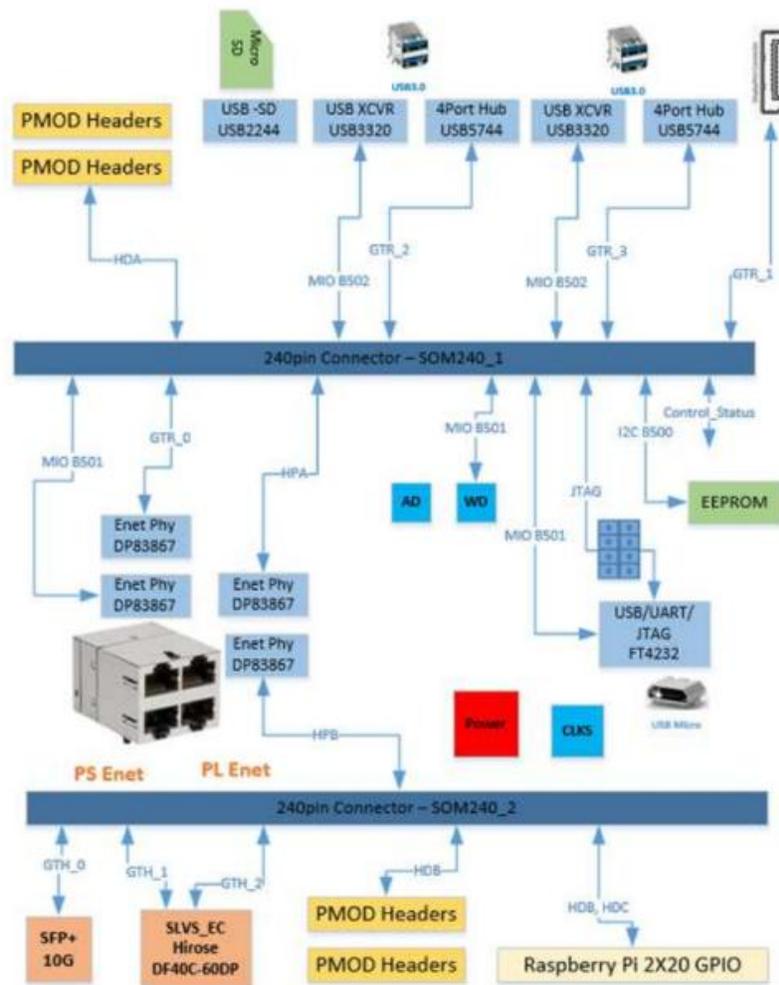


Ilustración 33 Diagrama de bloques de periféricos de la tarjeta Kria Kr260

Nota: Fuente <https://www.amd.com/en/products/system-on-modules/kria/k26/kr260-robotics-starter-kit.html#documentation>

Tras completar el diseño de estos periféricos en los archivos esquemáticos, se añadieron los conectores para las señales LVDS que vienen del AFE y para su control a través del bus de datos USB (ilustración 34).

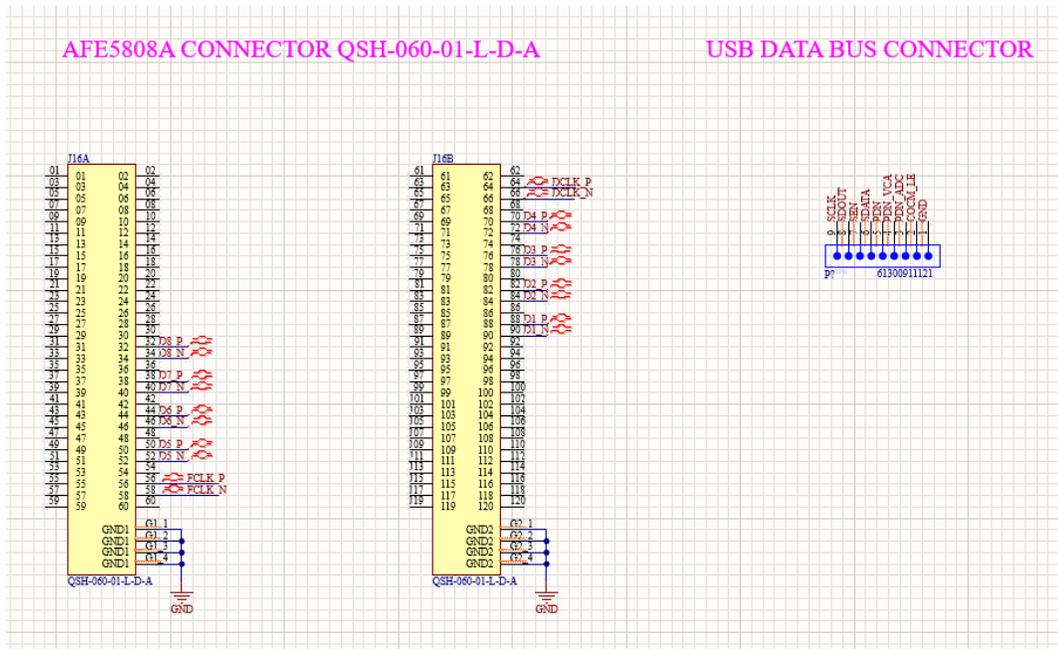


Ilustración 34 Diseño de los conectores para el control del AFE y la recepción de señales LVDS

A pesar de que en la versión 1 de la tarjeta de acople se implementó una resistencia de 100 ohm en las 8 señales LVDS correspondientes a los 8 canales del AFE por recomendación del fabricante, en esta segunda versión se implementaron las decisiones de diseño para las señales LVDS que se tomaron en la versión 3 de la tarjeta DAPHNE, por lo que tal como se muestra en la ilustración 35 y 36, no se añadieron resistencias y se rutearon las señales LVDS como pares diferenciales directamente conectados a la FPGA.

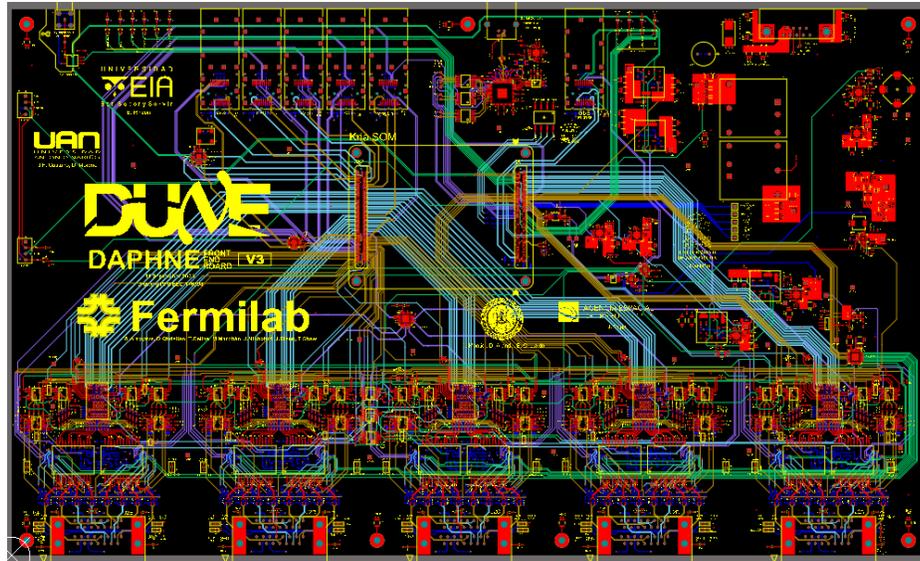


Ilustración 35 PCB de la tarjeta DAPHNE versión 3

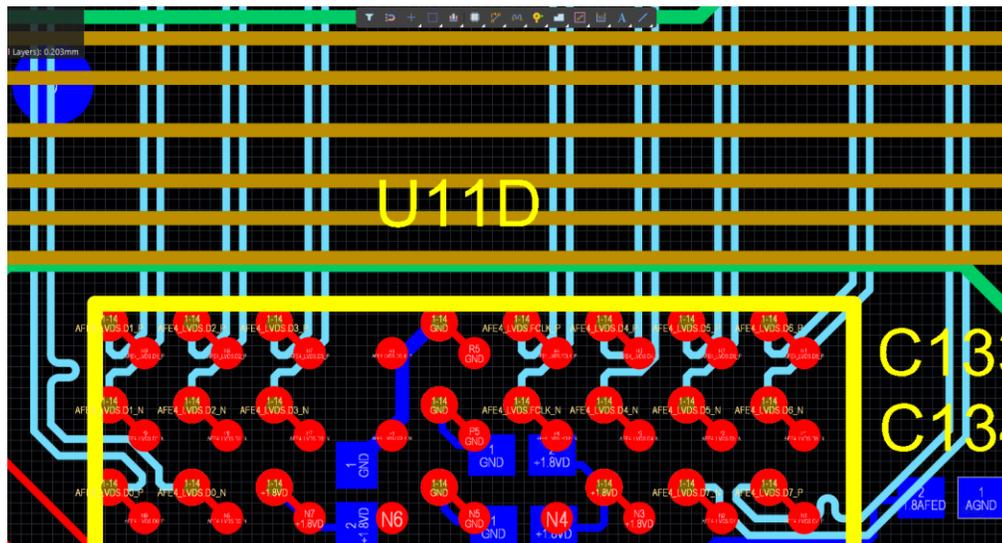


Ilustración 36 Señales LVDS de uno de los AFE5808A de DAPHNE versión 3

En la ilustración 37 se muestra el proceso de ubicación de componentes, donde se busca optimizar el enrutamiento al ubicar cada componente en su etapa correspondiente, priorizando las recomendaciones que el fabricante brinda para asegurar la integridad de señales.

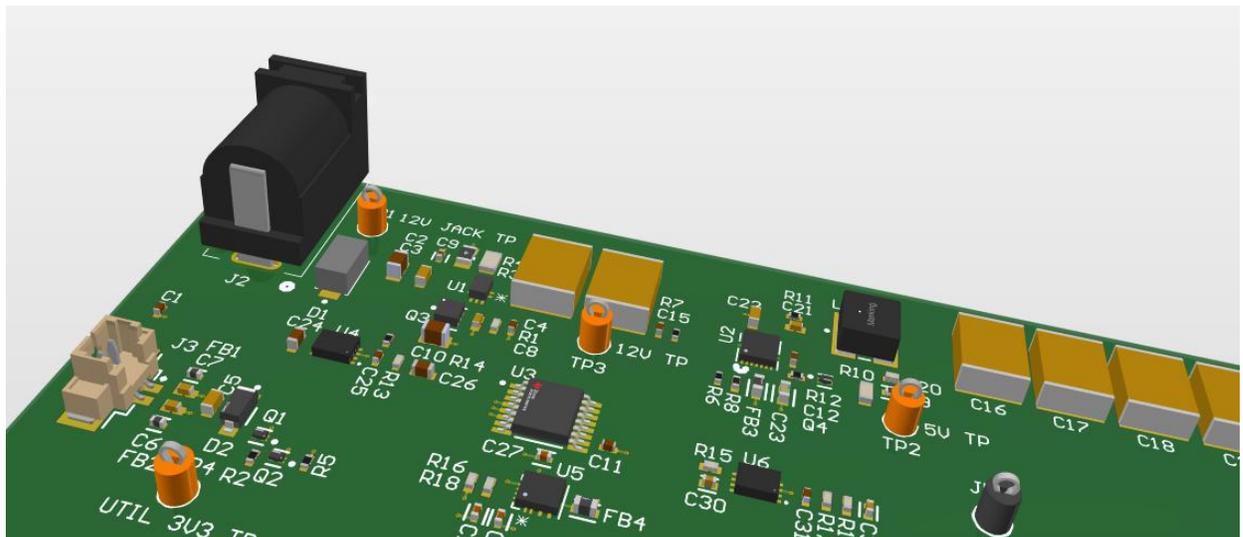


Ilustración 37 Etapa de potencia para la versión 2 de la tarjeta de acople

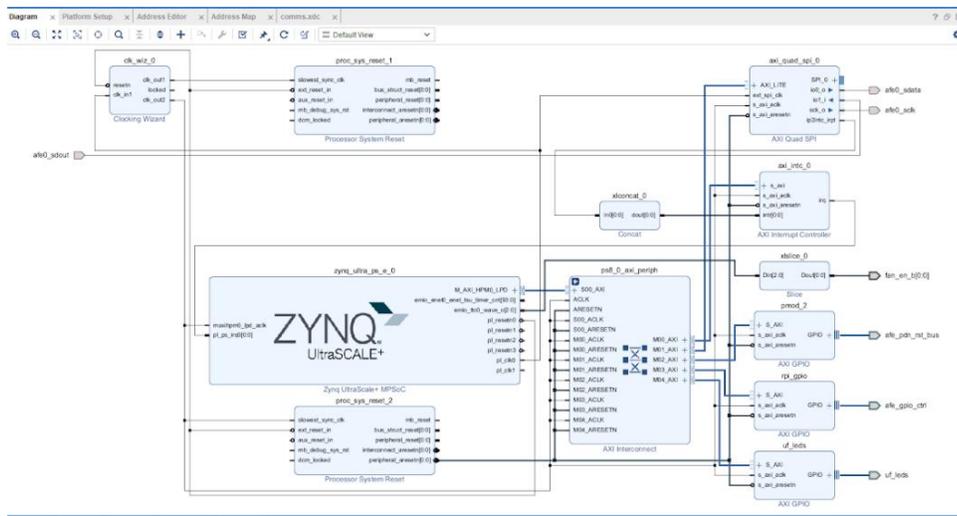


Ilustración 38 Diagrama de bloques para pruebas

Con el montaje experimental correctamente conectado, se procede a elaborar un diagrama de bloques que incluye exclusivamente los periféricos utilizados por la Kria (Ilustración 38). Este diagrama identifica como componentes principales al procesador y los periféricos, entre los cuales se encuentran el SPI y las interrupciones. El funcionamiento se basa en que, cuando el SPI envía o recibe datos del procesador, se genera una interrupción que permite la sincronización del sistema.

A partir de este diagrama de bloques, se genera el bitstream que será compilado en PetaLinux para producir el archivo PL.dtsi, el cual describe los periféricos y sus direcciones a través del bus AXI. Este archivo dtsi se convierte posteriormente en un archivo dtbo mediante comandos específicos, para luego ser enviado, junto con el bitstream y un archivo json, a la Kria.

Una vez que estos archivos están disponibles en la Kria, se realiza la carga del archivo overlay, asignando al SPI todos los permisos necesarios (lectura y escritura). En esta etapa, se implementaron librerías tanto en C como en Python para el manejo del SPI desde Linux, aprovechando herramientas previamente desarrolladas y probadas.

Finalmente, mediante la consola de comandos de PetaLinux, se carga una librería en C para inicializar los elementos necesarios, como los GPIOs, el SPI y el AFE, otorgándoles una configuración inicial adecuada para su funcionamiento.

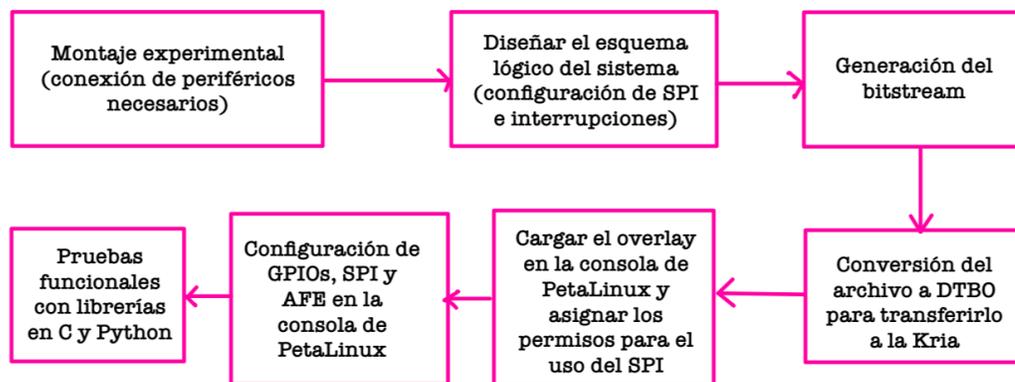


Ilustración 39 Diagrama de Bloques del Pipeline de Pruebas

V. ANÁLISIS DE RESULTADOS

Al tener la primera versión de la tarjeta de acople ya ensamblada, se procedió a verificar la correcta conexión tanto eléctrica como mecánica.

La tarjeta de acople presentó una correcta conexión eléctrica entre el AFE5808AEVM y la tarjeta Kria KR260, se hicieron pruebas de continuidad para cada señal LVDS que consistían en disponer de un multímetro cuyas terminales irían en el conector QTH-060-01-L-D-A del AFE5808AEVM y en los PMODs de la Kria (ilustración 40). Se repitió este proceso para comprobar la continuidad en las señales del bus de datos USB, ubicando las terminales del multímetro en cada señal del conector JP18 y en el respectivo pin de los PMODs de la Kria (ilustración 41).

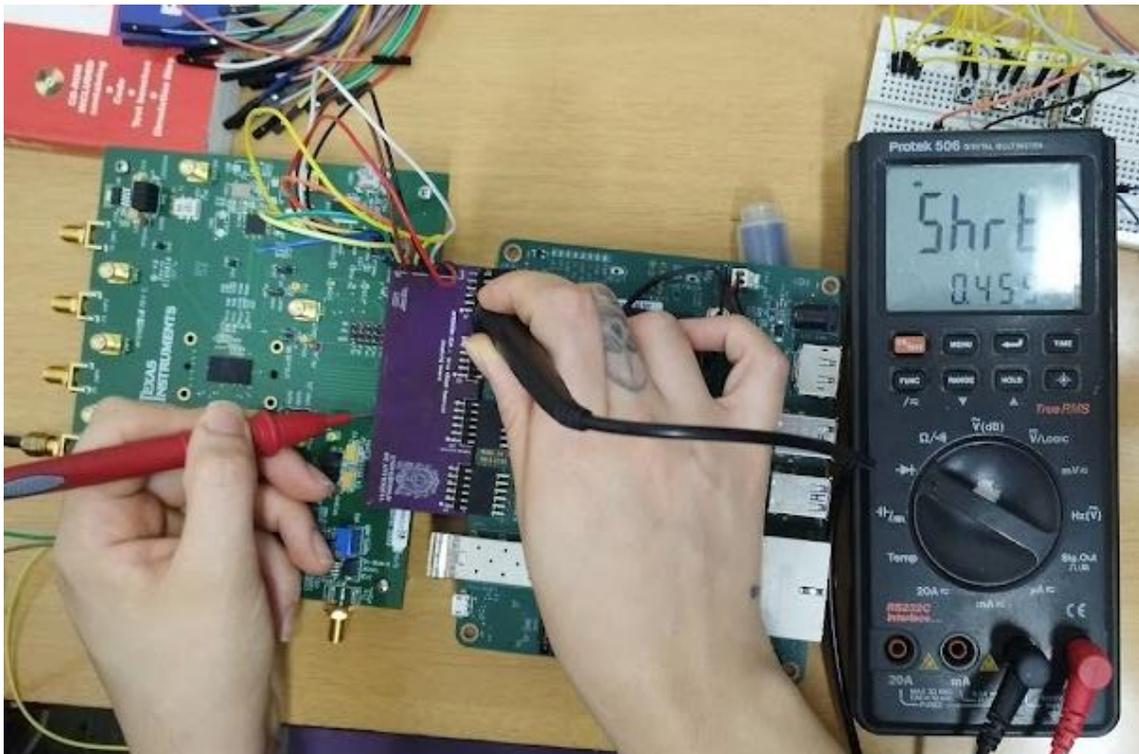


Ilustración 40 Pruebas de continuidad para señales LVDS

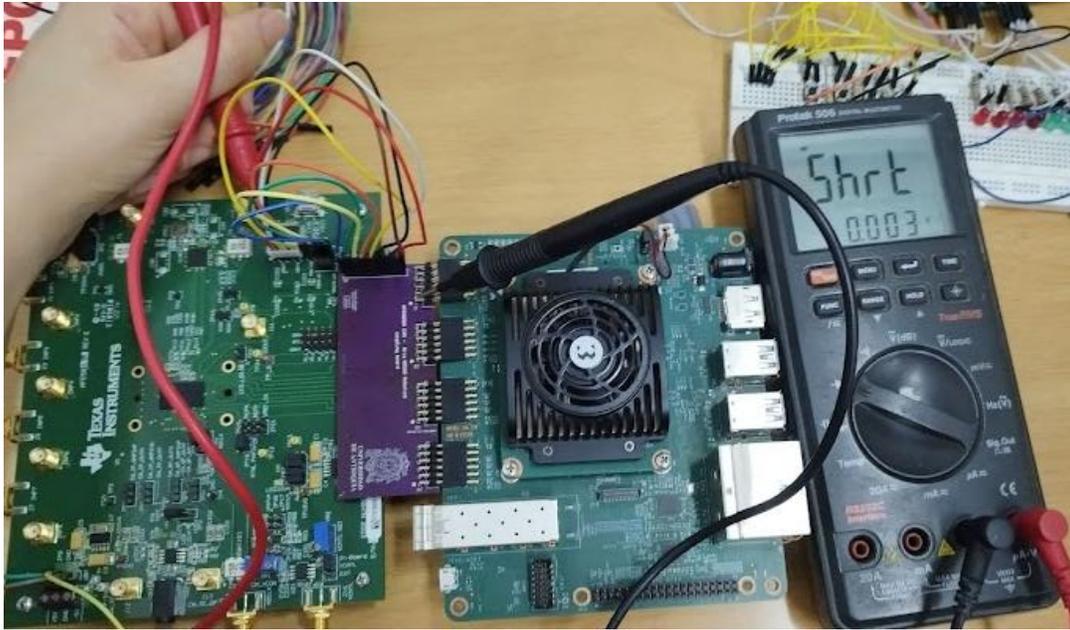


Ilustración 41 Pruebas de continuidad para señales del bus de datos SPI

En ambas pruebas se comprobó la continuidad para la totalidad de las señales exitosamente.

Para las pruebas mecánicas, se observó que al conectar la tarjeta de acople con el AFE sí hubo una correcta conexión entre los conectores QTH-060-01-L-D-A y QSH-060-01-L-D-A, se cumplió con el requerimiento de distancia máxima que la tarjeta de acople debe tener en el extremo que tiene el conector QSH-060-01-L-D-A, tal como se observa en la ilustración 20.

Finalmente, se detectó un pequeño error en la distancia de los conectores SW-106-08-S-D-RA que no permitía la correcta conexión de un par de ellos, para las pruebas este error se corrigió doblando ligeramente las puntas de los conectores de la tarjeta de acople que se corresponden con los PMODs 1 y 2. Este error se corrigió en el archivo fuente de Altium.

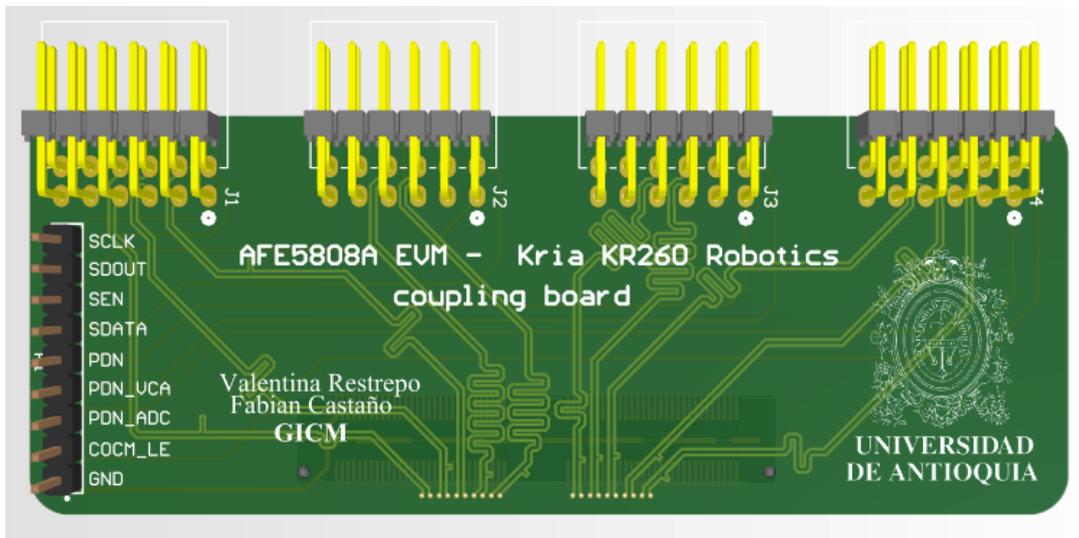


Ilustración 42 Tarjeta de acople versión 1 con mejoras vista frontal

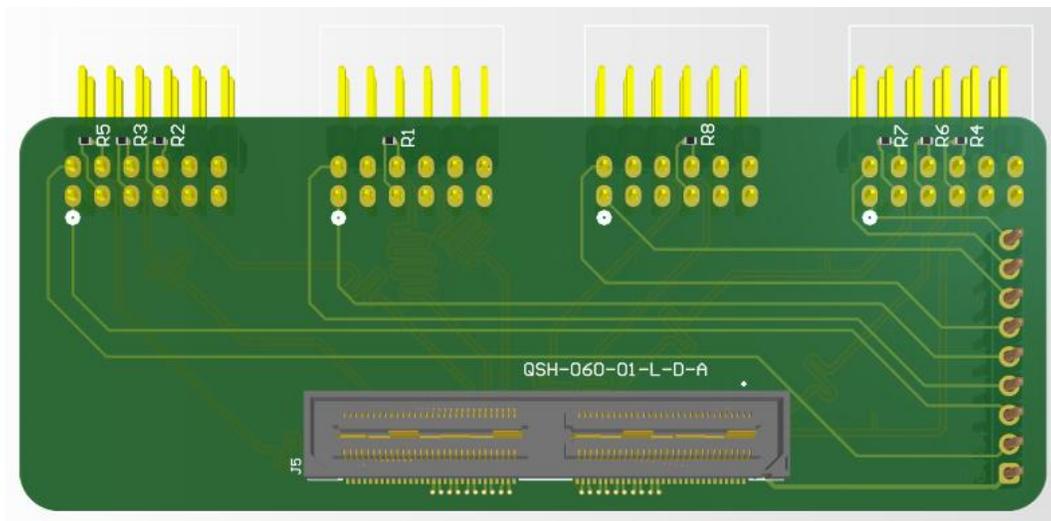


Ilustración 43 Tarjeta de acople versión 1 con mejoras vista trasera

Otras correcciones que se hicieron a la tarjeta de acople fue añadir el nombre de cada señal del bus de datos que corresponde a cada pin del conector P1 (ilustración 42 y 43).

Con el montaje experimental establecido, se procede a configurar los periféricos a través de la Kria. Utilizando la consola de PetaLinux, se ejecutan los comandos necesarios para inicializar el AFE, el protocolo SPI y los GPIOs, obteniendo como respuesta el valor '0', lo cual indica

una ejecución exitosa de los comandos. Según lo descrito por el fabricante en la sección 8.5 [30], esta inicialización consiste en asignar un valor de cero a todos los registros.

Una vez completada la configuración, se realiza una prueba de lectura y escritura en los registros del AFE desde la consola de PetaLinux para verificar el control del dispositivo a través de la Kria. La prueba comienza con la creación de una variable denominada `wdata`, a la cual se le asigna un valor entre 0 y 255. Este valor se escribe en el registro 3 del AFE (`hafe0`) mediante la función `HAL_AFEWriteRegister`. A continuación, se define otra variable, `rdata`, inicializada en cero. Finalmente, se lee el valor del registro 3 del AFE utilizando la función `HAL_AFEReadRegister`, y el resultado se almacena en `rdata`.

El correcto control del AFE a través de la Kria se confirma al observar que el valor de la variable `rdata` es diferente al asignado inicialmente durante la configuración (Ilustración 44).

```
>>> wdata = (ctypes.c_uint16)(16)
>>> my_library.HAL_AFEWriteRegister(hafe0, 3, ctypes.byref(wdata))
0
>>> wdata
c_ushort(16)
>>> my_library.HAL_AFEReadRegister(hafe0, 3, ctypes.byref(rdata))
0
>>> rdata
c_ushort(0)
>>> rdata
c_ushort(0)
>>> rdata = (ctypes.c_uint16)(0)
>>> rdata
c_ushort(0)
>>> wdata = (ctypes.c_uint16)(16)
>>> wdata
c_ushort(16)
>>> my_library.HAL_AFEWriteRegister(hafe0, 3, ctypes.byref(wdata))
0
>>> wdata
c_ushort(16)
>>> my_library.HAL_AFEReadRegister(hafe0, 3, ctypes.byref(rdata))
0
>>> rdata
c_ushort(0)
>>> client_loop: send disconnect: Broken pipe
fisica@fisica:~/Documentos/Fabian/file_transfer$
```

Ilustración 44 Prueba configuración del AFE con la Kria

Para el proceso de adquisición de datos, fue indispensable realizar el alineamiento de la información proveniente de los AFEs, organizándola en buffers gestionados por la FPGA. Este procedimiento se llevó a cabo mediante la generación de una señal de diente de sierra por parte

del AFE, la cual incrementaba en una unidad con cada ciclo de reloj. El resultado de este proceso de digitalización y alineamiento se muestra en la ilustración 45.

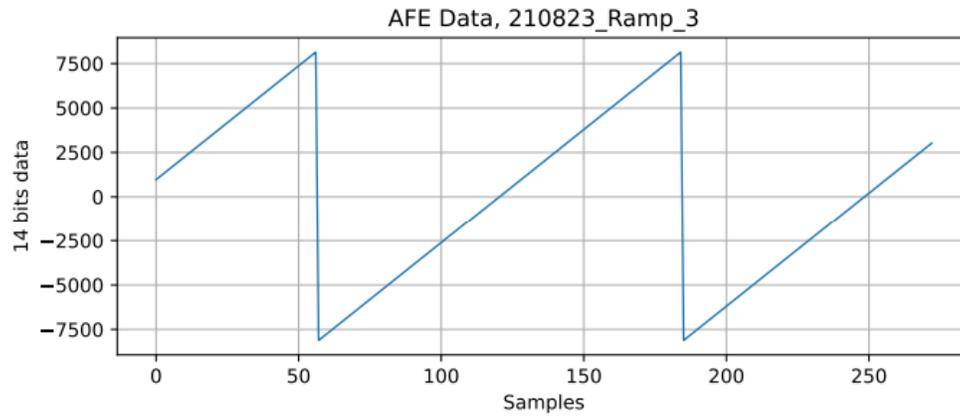


Ilustración 45 Resultado del alineamiento de datos usando una señal diente de sierra generada internamente por el AFE50808A

VI. CONCLUSIONES Y RECOMENDACIONES

A pesar de que en [34] y [35], tanto el fabricante del AFE5808A como el autor recomiendan incluir una resistencia de 100 ohm entre cada señal LVDS de los canales del AFE, estas no fueron implementadas. Esta decisión se fundamentó en los diseños de la versión 3 de DAPHNE desarrollados por Fermilab, los cuales no hacen uso de dichas resistencias. Asimismo, el uso de level shifters para la lectura de señales provenientes del AFE (SDOUT), cuyo voltaje es inferior a 3.3 V, tampoco fue necesario, ya que las pruebas realizadas confirmaron la correcta lectura y escritura de datos sin inconvenientes.

Durante el proceso de diseño de la tarjeta, se identificaron errores que, aunque no afectaron la obtención de buenos resultados, dificultaron el montaje y las pruebas mecánicas. Estos errores fueron corregidos en los archivos PCB del proyecto correspondiente a la primera versión del acople. Sin embargo, es crucial minimizar completamente este tipo de fallos, ya que forzar mecánicamente algún componente podría provocar daños en los conectores o en los propios módulos, como el AFE y la Kria. Para evitar estas situaciones, se recomienda implementar la funcionalidad de diseño multi-board disponible en el software Altium Designer, la cual permite realizar validaciones mecánicas entre diferentes tarjetas de manera integral y precisa.

La decisión de utilizar las mismas referencias de componentes empleadas por el fabricante en la tarjeta Kria KR260 permite minimizar el riesgo de fallas que podrían surgir en etapas posteriores de manufactura y ensamblaje, garantizando así una mayor compatibilidad y confiabilidad en el diseño final.

Para el diseño electrónico de las versiones 1 y 2 de la tarjeta de acople, se empleó el software Altium Designer, una herramienta de diseño avanzada que proporciona un conjunto integral de funcionalidades. Este software permite implementar técnicas especializadas para asegurar la integridad de las señales, realizar validaciones detalladas de las restricciones mecánicas y adaptar el diseño de la tarjeta a los requisitos específicos del proyecto, optimizando así su desempeño y confiabilidad.

Se propone la creación de una guía técnica exhaustiva que documente de manera detallada los procesos de diseño, ensamblaje y pruebas. Esta guía tiene como objetivo principal facilitar la replicabilidad del proyecto y promover una transferencia eficiente de conocimientos a otros equipos de trabajo, asegurando la continuidad y la mejora de futuros desarrollos.

Se reconoce la importancia de que la Universidad de Antioquia, como miembro activo de la colaboración DUNE, disponga de un sistema que permita la validación de software y firmware en el contexto del desarrollo de un banco de pruebas para el sistema DAQ del experimento. Esto no solo fortalece su contribución como institución, sino que también refuerza su compromiso con los objetivos científicos y tecnológicos del proyecto.

Se evidencia la relevancia de garantizar la integridad de señales en el diseño de tarjetas destinadas a operar en ambientes hostiles, como aquellos con condiciones extremas de temperatura y estrés mecánico. Asimismo, en entornos de alto rendimiento, donde la velocidad y el volumen de transmisión de datos son críticos, se subraya la necesidad de adoptar estándares rigurosos de diseño. Además, se propone implementar pruebas específicas que evalúen el comportamiento de las tarjetas en condiciones ambientales similares a las presentes en el detector lejano del experimento DUNE, contribuyendo así a su robustez y fiabilidad.

Diseño de sistema electrónico de acople de la tarjeta KRIA y el Analog-Front-End (AFE) 5808AEVM



UNIVERSIDAD DE ANTIOQUIA

Facultad de Ingeniería

PRACTICANTE: Valentina Restrepo Jaramillo

PROGRAMA: Ingeniería Electrónica

ASESORES: Fabián Andrés Castaño Usuga

Semestre de la práctica: 2024-2

Se desarrolló un sistema electrónico de acople entre la tarjeta Kria KR260 Robotics y el AFE5808AEVM, con el propósito de garantizar la correcta configuración y adquisición de datos en el marco del experimento DUNE. El diseño integra técnicas para la gestión de señales de alta frecuencia y asegura la compatibilidad entre dispositivos mediante el control de impedancia y la integridad de las señales.

La implementación del sistema abarca desde la selección de componentes electrónicos hasta la validación mediante algoritmos embebidos que garantizan el correcto funcionamiento de la tarjeta Kria. Este enfoque asegura un diseño robusto y eficiente que responde a las necesidades del experimento DUNE, donde la precisión y confiabilidad de los datos son primordiales.



Introducción

El experimento DUNE (Deep Underground Neutrino Experiment) es uno de los proyectos más relevantes en el ámbito de la física de partículas, orientado a estudiar propiedades fundamentales de los neutrinos. Como miembro de esta colaboración, la Universidad de Antioquia contribuye al desarrollo de sistemas electrónicos clave para la adquisición y validación de datos.

Este trabajo se centra en el diseño de un sistema de acople electrónico entre la tarjeta Kria KR260 y el Analog-Front-End (AFE) 5808AEVM. Este sistema permite garantizar la integridad de las señales y validar el correcto funcionamiento del firmware y software utilizados en las etapas de adquisición de datos del experimento DUNE.



Objetivos

- ✓ Diseñar un sistema electrónico que acople la tarjeta Kria KR260 y el Analog-Front-End (AFE) AFE5808AEVM, garantizando la integridad de las señales, el control de impedancia y la capacidad para manejar señales de alta frecuencia en el rango de los MHz.
- ✓ Seleccionar componentes electrónicos compatibles que aseguren integridad de señales, integridad de potencia y acople electromagnético.
- ✓ Crear librerías de componentes y diseñar el esquema y el layout del sistema en software especializado.
- ✓ Realizar el enrutamiento de la PCB, cumpliendo con reglas de diseño que preserven la integridad de señales y potencia.
- ✓ Diseñar y ejecutar algoritmos embebidos para validar la configuración y adquisición de datos entre la Kria y el AFE.



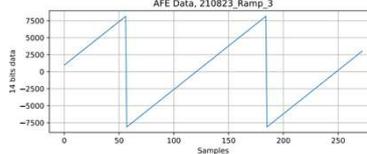
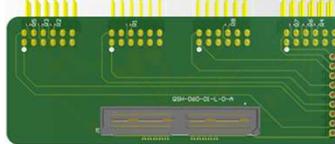
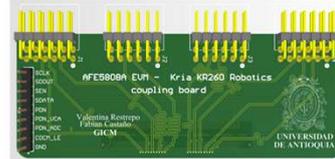
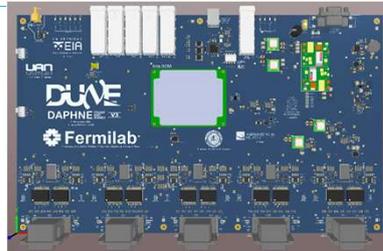
Metodología

Revisión documental: Se analizaron los componentes del sistema de detección de fotones del experimento DUNE, con énfasis en las especificaciones del AFE5808AEVM y la tarjeta Kria KR260.

Diseño y selección de componentes: Se seleccionaron periféricos compatibles y se desarrollaron los esquemáticos y el layout en Altium Designer, garantizando control de impedancia y calidad en la transmisión de señales.

Fabricación y validación: Se fabricó y ensambló la PCB, realizando pruebas funcionales y algoritmos embebidos para validar la configuración del AFE y la adquisición de datos.

Propuesta de mejoras: Se plantearon ajustes para un diseño más robusto en futuras iteraciones.



Resultados

Se logró desarrollar un diseño de PCB que garantiza la integridad de las señales y el control de impedancia entre el AFE5808AEVM y la tarjeta Kria KR260, cumpliendo con las especificaciones del experimento DUNE. Las pruebas funcionales realizadas validaron la correcta adquisición de datos y configuración del AFE, asegurando un desempeño óptimo en la transmisión de señales de alta frecuencia. Además, se propusieron mejoras para incrementar la robustez y fiabilidad del diseño en futuras iteraciones.

En una futura versión del diseño PCB, se propone la integración del módulo SOM de la tarjeta Kria con el AFE5808A para mejorar la integridad de la señal y la robustez de las pruebas.

Conclusiones

- ✓ Se diseñó un sistema de acople que garantiza la integridad de señales y el manejo de señales de alta frecuencia entre el AFE5808AEVM y la tarjeta Kria KR260, cumpliendo con los requisitos del experimento DUNE.
- ✓ Las pruebas funcionales confirmaron la correcta configuración del AFE y la adquisición eficiente de datos, validando la robustez del diseño.
- ✓ El uso de herramientas como Altium Designer permitió optimizar el diseño de la PCB y resolver errores mecánicos y eléctricos en la primera iteración del proyecto.
- ✓ El proyecto sentó las bases para iteraciones futuras, enfocadas en mejorar la robustez, la confiabilidad y la replicabilidad del sistema.

DATOS DE CONTACTO DEL AUTOR:

+57 300 493 99 04

Valentina.restrepoj@udea.edu.co

vaddak

<https://www.linkedin.com/in/valentina-restrepo-jaramillo-1a88721aa/>



REFERENCIAS

- [1] DUNE Collaboration, "Deep Underground Neutrino Experiment (DUNE)," CERN, 2023. Disponible: <https://cds.cern.ch>.
- [2] C. Adams et al., "The DUNE far detector," CERN, 2020. Disponible: <https://cds.cern.ch/record/2709272>.
- [3] Fermi National Accelerator Laboratory, "DUNE: Una ventana hacia el universo," Fermilab, 2021. Disponible: <https://news.fnal.gov>.
- [4] E. Resconi et al., "DUNE as a neutrino observatory for astrophysical transients," Phys. Rev. D, vol. 101, no. 7, 2020. Disponible: <https://cds.cern.ch/record/2709273>.
- [5] A. Bueno et al., "Neutrinos in astrophysics," COMHEP 2020. Disponible: <https://indico.cern.ch/event/897772/contributions/4115230/>.
- [6] CIEMAT, "Neutrinos: Física y aplicaciones," 2024. Disponible: <https://neutrinos.portales.ciemat.es>.
- [7] A. Serrano et al., "Photon Detection Systems in DUNE," DUNE Collaboration Meeting, 2021. Disponible: <https://indico.cern.ch/event/1010475/contributions/4450705/>.
- [8] L. Domine et al., "Development of the DAPHNE electronics board for DUNE," CERN Meeting, 2020. Disponible: <https://indico.cern.ch/event/1147517/contributions/4977964/>.
- [9] A. D. Dolgov, "Neutrinos in cosmology," Phys. Rep., vol. 370, no. 4–5, pp. 333–535, 2002.
- [10] C. Patrignani et al., Review of Particle Physics, Phys. Rev. D, vol. 98, no. 1, 2018.

- [11] R. Acciarri et al., "The physics potential of ProtoDUNE-SP," JINST, vol. 15, no. T08010, 2020.
- [12] J. Klein et al., "DUNE as a supernova neutrino observatory," Phys. Rev. Lett., vol. 124, no. 6, 2023.
- [13] E. Bogatin, Signal and Power Integrity – Simplified, 2nd ed., Upper Saddle River, NJ: Prentice Hall, 2010.
- [14] Universidad de los Andes, "Escuela de Física de Neutrinos y DUNE," Fisindico, 2023. Disponible: <https://fisindico.uniandes.edu.co/event/13/contributions/60/>.
- [15] M. A. Thomson, Modern Particle Physics, Cambridge University Press, 2013.
- [16] J. Klein et al., "Performance of TPB coatings in LAr detectors," Phys. Rev. Lett., vol. 124, 2023.
- [17] DUNE Collaboration, "Deep Underground Neutrino Experiment (DUNE) Technical Design Report, Volume III," arXiv:2002.03008, 2020.
- [18] DUNE Collaboration, "Deep Underground Neutrino Experiment (DUNE) Technical Design Report, Volume IV," arXiv:2002.03010, 2020.
- [19] A. Bueno et al., "Photon Detection Systems for LArTPCs in DUNE," JINST, vol. 12, no. P04007, 2020.
- [20] R. Acciarri et al., "Photon detection and energy calibration in DUNE," JINST, vol. 15, 2020.
- [21] L. Domine et al., "Photon Detection Electronics in DUNE," CERN Meeting, 2021.

[22] A. Serrano et al., "Timing and Synchronization in DUNE Photon Detection Systems," Phys. Rev. Lett., vol. 124, 2023.

[23] CIEMAT, "Electrónica de lectura para sistemas criogénicos," CIEMAT, 2024.

[24] A. Serrano et al., "Cryogenic ASICs for DUNE Photon Detection," Phys. Rev. Lett., vol. 124, 2023.

[25] L. Domine et al., "Distributed Processing in DAPHNE Electronics," CERN Meeting, 2021.

[26] R. Acciarri et al., "Integration of FELIX in DUNE DAQ Systems," JINST, vol. 15, 2020.

[27] Portal DUNE España, "Diseño modular del DAQ de DUNE: FELIX y DAPHNE," CIEMAT, 2024.

[28] DUNE Collaboration, "Deep Underground Neutrino Experiment (DUNE) Technical Design Report, Volume I: Overview," arXiv:2002.02967 [physics.ins-det], 2020. Disponible: <https://cds.cern.ch/record/2709272/files/pdf>

[29] E. J. Cristaldo Morales, "Development of the readout electronics for the DUNE Photon Detection System," Ph.D. dissertation, Univ. degli Studi di Milano-Bicocca, Milano, Italy, 2023.

[30] Texas Instruments. AFE5808A $0.75\text{nV}/\sqrt{\text{Hz}}$, 65-MSPS, 158mW/Channel, Fully-Integrated, 8-Channel, 14- and 12-Bit, Ultrasound Analog Front-End With Passive CW Mixer. Texas Instruments, 2015. URL <https://www.ti.com/lit/ds/symlink/afe5808a.pdf>. Rev. nov. 2015.

[31] DUNE collaboration, "Front-end Electronics for the DUNE Photon Detection System," Journal of Instrumentation. Preprint.

[32] Texas Instruments, "AFE5808AEVM Evaluation Module User's Guide," User's Guide, 2017. Disponible: <https://www.ti.com/lit/ug/slou328b/slou328b.pdf>.

[33] Understanding Serial LVDS Capture in High-Speed ADCs(Application report). Texas Instruments, 2013.

[34] Texas Instruments, "Transmission Line Theory," Application Report SLLA014A, Nov. 1997. Disponible: <https://www.ti.com/lit/an/slla014a/slla014a.pdf>.

[35] Texas Instruments, "AFE5808A: 8-Channel Ultrasound Analog Front-End," Datasheet, Mar. 2015. Disponible: <https://www.ti.com/lit/ds/symlink/afe5808a.pdf>.

[36] AMD-Xilinx, "Kria K26 SOM Product Page." [En línea]. Disponible en: <https://www.xilinx.com>. [Accedido: 10-nov-2024].

[37] AMD-Xilinx, PetaLinux Tools Documentation. [En línea]. Disponible en: <https://docs.xilinx.com>. [Accedido: 16-nov-2024].

[38] AMD-Xilinx, Vivado Design Suite User Guide. [En línea]. Disponible en: <https://docs.xilinx.com>. [Accedido: 16-nov-2024].

[39] "Empowering DUNE: Support for Hard Peripherals (RPI/PMOD/Kria)," Hackster.io. [En línea]. Disponible en: <https://www.hackster.io/fabioc9675/empowering-dune-support-for-hard-peripherals-rpi-pmod-kria-505ded>. [Accedido: 16-nov-2024].