

Diseño y validación de subsistemas que componen un banco de pruebas electrónico para la evaluación del rendimiento y de los requerimientos mínimos de las tarjetas DAPHNE para su uso en el experimento DUNE

Juan Sebastian Fajardo Zarta

Trabajo de investigación para optar al título de Magíster en Ingeniería - Énfasis en electrónica

Director

Fabián Andrés Castaño Úsuga, Doctor (PhD)

Grupo de Instrumentación Científica y Microelectrónica

Universidad de Antioquia

Facultad de Ingeniería

Maestría en Ingeniería

Medellín, Antioquia, Colombia

2025

Cita	Fajardo Zarta, 2025 [1]
Referencia Estilo IEEE (2020)	[1] Fajardo Zarta, J. S. "Diseño y validación de subsistemas que componen un banco de pruebas electrónico para la evaluación del rendimiento y de los requerimientos mínimos de las tarjetas DAPHNE para su uso en el experimento DUNE", Trabajo de investigación, Maestría en Ingeniería, Universidad de Antioquia, Medellín, Colombia, 2025.

creative commons
BY NC SA

Maestría en Ingeniería
Grupo de Instrumentación Científica y Microelecrónico (GICM)
Centro de investigación Ambientales y de Ingeniería (CIA).

UNIVERSIDAD DE ANTIOQUIA
Vicerrectoría de Docencia
Sistema de Bibliotecas

Centro de Documentación Ingeniería (CENDOI)

Repositorio Institucional: http://bibliotecadigital.udea.edu.co

Universidad de Antioquia - www.udea.edu.co

Rector: John Jairo Arboleda Céspedes.
Decano/Director: Julio César Saldarriaga Molina.
Jefe departamento: Natalia Gaviria Gómez.

El contenido de esta obra corresponde al derecho de expresión de los autores y no compromete el pensamiento institucional de la Universidad de Antioquia ni desata su responsabilidad frente a terceros. Los autores asumen la responsabilidad por los derechos de autor y conexos.

Dedicatoria

Dedico este trabajo a mi familia, cuyo apoyo, amor y confianza han sido la base de cada uno de mis logros. A mis padres, por enseñarme el valor del esfuerzo y la disciplina; y a mi hermana, por creer en mí incluso antes de que yo lo hiciera. A quienes, con sus palabras y ejemplo, me motivaron a perseverar incluso en los momentos más exigentes. Este proyecto es también suyo.

Agradecimientos

Agradezco a mi director y asesor de tesis, el doctor Fabián Andrés Castaño, cuya orientación, exigencia y dedicación fueron fundamentales para el desarrollo de este trabajo. A la Universidad de Antioquia y al programa de Maestría en Ingeniería, por brindarme las herramientas y el entorno necesarios para mi crecimiento profesional y personal.

Extiendo mi gratitud al equipo de trabajo y al grupo de investigación GICM, quienes con sus ideas, discusiones técnicas y acompañamiento contribuyeron de manera significativa en cada etapa del proyecto. A mis compañeros y amigos, por su apoyo constante y por hacer más llevadero este proceso; y al equipo de Rugby Subacuático, gracias por darme un espacio que se convirtió en mi refugio, por brindarme equilibrio cuando más lo necesitaba y por recordarme que la disciplina también puede vivirse con alegría.

Finalmente, agradezco a mi familia por su paciencia, su respaldo y su motivación permanente, así como a todas las personas que, de una u otra forma, contribuyeron al desarrollo de este trabajo. Sin ustedes, este logro no habría sido posible.

TABLA DE CONTENIDO

RESUMEN 16

ABSTRACT 17

I. CAPÍTULO I 18

A. INTRODUCCIÓN 18

B. PLANTEAMIENTO DEL PROBLEMA 22

C. MARCO TEÓRICO 26

1) Física de neutrinos y el experimento DUNE 26

a) Neutrinos 26

b) Experimento DUNE 27

2) Abordaje conceptual de sistemas de adquisición de datos de DUNE. . . 29

a) Tarjetas DAPHNE 30

b) Photon Detection System (PDS) 31

3) Bancos de pruebas para la tarjeta DAPHNE 33

a) Conceptos básicos de bancos de pruebas 33

b) Aspectos teóricos del diseño electrónico 34

c) Integridad de señales 35

d) Medición de voltaje y módulos térmicos 35

D. Estado del arte 36

1) Evolución de las tarjetas DAPHNE 38

a) Versión 1 y Versión 2 38

b) Versión 3 39

c) Versión 4 39

E. OBJETIVOS 44
1) Objetivo general 44
2) Objetivos específicos 44
F. DESCRIPCIÓN GENERAL DE LA METODOLOGÍA 44
1) Definición de los subsistemas y requerimientos 45
a) Subsistema de conversión y generación de señales 45
b) Subsistema de medición y verificación de frecuencia 45
c) Subsistema de medición de fuentes de operación 45
2) Diseño electrónico y digital de los subsistemas 45
a) Subsistema de conversión y generación de señales 46
b) Subsistema de medición y verificación de frecuencia 46
c) Subsistema de medición de fuentes de operación 46
3) Validación y pruebas de funcionamiento 46
a) Pruebas unitarias 47
b) Pruebas de integración 47
c) Evaluación con equipos de referencia 47
d) Análisis estadístico 47
4) Desarrollo del firmware y arquitectura del software 47
II. CAPÍTULO II 49
A. INTRODUCCIÓN 49
B. METODOLOGÍA 50
C. FUNDAMENTACIÓN TEÓRICA 53
1) Subsistema de conversión y generación de señales 53
2) Subsistema de medición y verificación de frecuencias 54
3) Subsistema de medición de fuentes de operación 55

D. RESULTADOS 56
1) Frecuencias de funcionamiento de la tarjeta DAPHNE 57
a) 62.5 MHz – Extra System Clock 57
b) 100 MHz – PL System Clock 58
c) 120.327 MHz – GTH Reference Clock (PL) 58
d) 125 MHz – GTR Ethernet Reference Clock (PS) 58
2) Fuentes de operación de la tarjeta DAPHNE 59
a) Voltajes fijos de operación 60
b) Voltajes configurables mediante DACs 61
3) Herramientas para el banco de pruebas 63
E. DISCUSIÓN 65
F. CONCLUSIONES 67
III. CAPÍTULO III 69
A. INTRODUCCIÓN 69
B. Metodología 70
1) Subsistema de conversión y generación de señales 70
2) Subsistema de medición y verificación de frecuencias 72
3) Subsistema de medición de fuentes de operación 73
C. FUNDAMENTACIÓN TEÓRICA 75
D. RESULTADOS 78
1) Subsistema de generación y conversión de señales 78
2) Subsistema de medición y verificación de frecuencias 79
a) Amplificación de frecuencia 79
b) Decimación por un factor de 100 000 79
3) Subsistema de medición de fuentes de operación 82

E. DISCUSIÓN 84
F. CONCLUSIONES 86
IV. CAPÍTULO IV 88
A. INTRODUCCIÓN 88
B. METODOLOGÍA 89
C. RESULTADOS 90
D. DISCUSIÓN 92
E. CONCLUSIONES 94
V. CAPÍTULO V 96
A. INTRODUCCIÓN 96
B. METODOLOGÍA 97
1) Especificación de Requerimientos 97
2) Diseño de la Arquitectura del Firmware y del Software 98
C. RESULTADOS 98
1) Menú 1: Inicialización 99
2) Menú 2: Información adicional 100
3) Menú 3: Medición de voltaje 100
a) Ventanas emergentes 101
4) Menú 4: Medición de frecuencia 101
D. DISCUSIÓN 102
E. CONCLUSIONES 103
VI. CAPÍTULO VI 105
A. CONCLUSIONES GENERALES 105
B. TRABAJO FUTURO 106

VII. PARTICIPACIÓN EN EVENTOS ACADÉMICOS 108

REFERENCIAS 130

ANEXOS 136

LISTA DE TABLAS

II Dominios de reloj de la tarjeta DAPHNE V3 y bloques críticos asociados. 57

III Resumen de voltajes y fuentes de operación de la tarjeta DAPHNE V3. 114

IV Parámetros estimados para el modelo biexponencial del pulso. 114

V Coeficientes del modelo discreto del pulso. 117

VI Comparación entre voltajes aplicados y voltajes medidos por el ADS7138 durante las pruebas iniciales. 117

LISTA DE FIGURAS

1 Relación entre los sabores de neutrinos y sus leptones asociados [27]. . . 27

2 Fotografía del interior de los criostatos instalados en el detector lejano [29]. 28

3 Esquema general del experimento DUNE, donde se ilustra el recorrido del haz de neutrinos generado en el acelerador de protones de Fermilab, su detección inicial en el detector cercano y su posterior llegada al detector lejano, situado 1 300 km más lejos y 1 km bajo tierra en el Sanford. [29]. 29

4 Arreglo de SiPMs instalado en la estructura del sistema de detección de luz [29]. 32

5 Ensayo de respuesta eléctrica de los SiPM bajo excitación por fotones individuales. Se observa la respuesta rápida asociada a la acumulación inicial de carga y el descenso controlado de la señal debido a las capacitancias internas del dispositivo. 33

6 La tarjeta DAPHNE V1 presenta una arquitectura distribuida de coprocesamiento, en la que el *slow control* es ejecutado por un microcontrolador STM32H7, mientras que la adquisición rápida de datos (*Fast Acquisition*) se implementa en una FPGA Artix-7, permitiendo procesar señales de alta velocidad del sistema de detección [44]. 40

7 La tarjeta DAPHNE V3 integra un *System on Module* (SoM) donde la lógica programable (PL) y el sistema de procesamiento (PS) se unifican en un mismo dispositivo, visible en el centro de la tarjeta bajo el disipador térmico. La placa incorpora también los módulos ópticos, las etapas analógicas de acondicionamiento y los conectores de acoplamiento al PDS [51]. 41

8 La tarjeta DAPHNE V4, integra los bancos de puertos ópticos, el disipador térmico del módulo FPGA/SoC, los módulos de adquisición tipo mezzanine y la distribución de componentes dedicados al acondicionamiento de señal y a la sincronización del sistema. 42
9 Metodología general para dar cumplimiento a los subsistemas que componen el banco de pruebas de las tarjetas DAPHNE. 109
10 Señal generada para la validación del subsistema de pulsos, adquirida a 100 MHz. Se observa el pulso completo con su tiempo de subida, valle y recuperación exponencial, correspondiente a datos RAW del instrumento. 110
11 Flujo de trabajo para la definición de los subsistemas del banco de pruebas, incluyendo análisis documental, revisión de datasheets y evaluación de compatibilidad con la tarjeta DAPHNE. 110
12 Datasheet DAPHNE V3 (62.5 MHz, 100 MHz y 120.327 MHz). 111
13 Datasheet DAPHNE V3 (125 MHz). 111
14 Distribución de fuentes fijas de DAPHNE V3. 111
15 Esquemático del generador de referencia TrimDAC, basado en la referencia de voltaje ADR444 y un amplificador operacional OPA2320 para acondicionamiento y distribución de la señal. 112
16 Esquemático del generador de voltaje de polarización VBias para modificar el nivel de ganancia de los SiPM. El diseño emplea el convertidor DC-DC LT3571 para obtener un voltaje ajustable. 112
17 Esquemático del generador OFFSET de voltaje configurable que condiciona las señales analógicas antes de su entrada al AFE5808AZCF. . . . 113
18 Flujo de trabajo para el diseño electrónico del subsistema de conversión y generación de señales. 113
19 Flujo de trabajo para el diseño electrónico del subsistema de medición y validación de frecuencias. 115
20 Flujo de trabajo para el diseño electrónico del subsistema de medición de fuentes de operación del banco de pruebas para la tarjeta DAPHNE. 115

21 Diagrama del sistema implementado para la generación de señales simuladas en la FPGA Zynq-7000. 116
22 Señal exponencial decreciente generada en la FPGA y medida mediante el DAC del ESP32. 116
23 Modelo continuo del pulso generado por un SiPM. 116
24 Medición de frecuencia dentro de una ventana de 1 s, capturada con el Analog Discovery 2. 117
25 Coincidencias de flancos de subida entre señales clk_{ref} y clk_{test} en los primeros 300 ns 117
26 Exactitud e incertidumbre en función de la ventana de integración. . . 118
27 Diseño esquemático del montaje para la medición de voltaje con el ADS7138. 118
28 Diseño esquemático del montaje para la medición de voltaje con el ADS1261. 118
29 Diagrama de flujo general para la validación de los subsistemas. 119
30 Señal exponencial decreciente generada en la FPGA y medida mediante el DAC del ESP32. 119
31 Exactitud e incertidumbre en función de la ventana de integración entre 50 y 100 μs para 625 ventanas de tiempo (Para 1 de los 30 archivos). . 120
32 Distribución de T_{opt} para los 30 datasets, con una clara concentración alrededor de los 96 μs 120
33 Reporte de evaluación de funcionamiento de la tarjeta DAPHNE. . . . 121
34 Diagrama de flujo para la comunicación Firmware-Software. 121
35 Inicialización en el software. 122
36 Información Adicional del Software, que contiene inforación del experimento DUNE y de los desarrolladores 122
37 Medición de voltajes. 123
38 Medición de voltajes. 124

39 Medición de voltajes (62.5 MHz, 100 MHz, 120.327 MHz y 125 MHz. . 125
40 Barra de progreso, proceso de guardado del reporte y confirmación final. 125
41 Diseño de tarjeta auxiliar basada en pogopines para tener acceso directo a las señales y puertos críticos que deben ser monitoreados durante las pruebas de validación de las tarjetas DAPHNE: 126
42 Participación en LATS 2025. 127
43 Participación en el ICTP Mesoamerican Workshop. 128
44 Participación en el Congreso Nacional de Física 2025. 129

Siglas, acrónimos y abreviaturas

ADC	Analog-to-Digital Converter
AFE	Analog Front-End
AMD	Advanced Micro Devices
AMANDA	Antarctic Muon and Neutrino Detector Array
ANTARES	Astronomy with a Neutrino Telescope and Abyss environmental Research
ATLAS	A Toroidal LHC Apparatus
BAIKAL	Baikal Gigaton Volume Detector
CERN	Centre Européen de Recherche Nucléaire
CMS	Compact Muon Solenoid
DAQ	Data Acquisition System
DAPHNE	Digital Analog Processing Hardware for Neutrino Experiments
DUMAND	Deep Underwater Muon and Neutrino Detector
DUNE	Deep Underground Neutrino Experiment
EE. UU.	United States (U.S.)
Fermilab	Fermi National Accelerator Laboratory
FPGA	Field-Programmable Gate Array
Gb	Gigabyte
GeV	Giga-electronvolt
GICM	Grupo de Instrumentación Científica y Microelectrónica
GTH	Canal del transceiver
GUI	Graphical User Interface
HVBIAS	High-Voltage Bias
IQR	Interquartile Range
JUNO	Jiangmen Underground Neutrino Observatory
KM3NeT	Cubic Kilometre Neutrino Telescope

LAr	Liquid Argon
LArTPC	Liquid Argon Time Projection Chamber
LDO	Low Dropout Regulator)
P5	Particle Physics Project Prioritization Panel
PDS	Photon Detection System
PhD	Philosophiae Doctor
PL	Programmable Logic
ProtoDUNE-II	Prototype DUNE Detector – Phase II
PS	Processing System
SiPMs	Silicon Photomultipliers
SM	Switching Mode
SNR	Señal-ruido efectiva
SoC	System on Chip
SoM	System on Module
TPC	Time Projection Chamber
UART	Universal Asynchronous Receiver-Transmitter
UdeA	Universidad de Antioquia
ULDO	Ultra Low Dropout Regulator
V1	Version 1
V2	Version 2
V3	Version 3
V4	Version 4
VHDL	Very High Speed Integrated Circuit Hardware Description Language
VUV	Vacuum Ultraviolet

RESUMEN

El experimento *Deep Underground Neutrino Experiment* (DUNE) requiere sistemas de adquisición de datos (DAQ) de alta precisión, en los cuales las tarjetas DAPHNE (*Digital Analog Processing Hardware for Neutrino Experiments*) son esenciales para la digitalización de las señales del sistema de detección de fotones (PDS). Dado que estas tarjetas operarán en un entorno subterráneo de difícil acceso, es necesaria una validación rigurosa previa a su instalación. Este trabajo presenta el diseño y la validación de los subsistemas de un banco de pruebas electrónico orientado a verificar los requisitos mínimos de operación de las tarjetas DAPHNE.

La metodología se estructuró en tres subsistemas: generación de señales, medición de frecuencia y medición de fuentes de operación. Para generar señales asociadas a fenómenos rápidos del PDS, se implementaron modelos discretos basados en ecuaciones en diferencias dentro de una FPGA Zynq-7000. El subsistema de medición de frecuencia se desarrolló mediante un método de coincidencias en ventanas de tiempo definidas, utilizando un reloj de referencia de 200 MHz. El análisis estadístico permitió determinar un tiempo óptimo de integración de $\overline{T}_{\text{opt}} \approx 96.3\ \mu$s, con una incertidumbre menor a 500 ppm, adecuada para caracterizar el reloj crítico de 62.5 MHz. Además, se diseñó una arquitectura de medición de voltaje basada en el ADC ADS1261 para supervisar las fuentes de alimentación fijas y configurables de la tarjeta.

Los resultados muestran que la arquitectura desarrollada es funcional, estable y reproducible, contribuyendo a optimizar el proceso de validación y a garantizar la calidad de los datos en DUNE.

Palabras clave — **Adquisición de datos (DAQ), banco de pruebas electrónico, generación de señales, medición de frecuencia, electrónica analógica-digital, FPGA, DAPHNE, DUNE, instrumentación en física de altas energías**

ABSTRACT

The *Deep Underground Neutrino Experiment* (DUNE) requires high-precision data acquisition (DAQ) systems, where the DAPHNE boards (*Digital Analog Processing Hardware for Neutrino Experiments*) play a key role in digitizing the signals from the Photon Detection System (PDS). Since these boards will operate in a remote underground environment with limited accessibility, rigorous validation prior to installation is essential. This work presents the design and validation of the subsystems that constitute an electronic test bench aimed at verifying the minimum operating requirements of the DAPHNE boards.

The methodology was structured around three subsystems: signal generation, frequency measurement, and measurement of operating power sources. To generate simulated signals associated with fast PDS phenomena, discrete models based on difference equations were implemented on a Zynq-7000 FPGA. The frequency measurement subsystem was developed using a time-window coincidence method with a 200 MHz reference clock. Statistical analysis determined an optimal integration time of $\overline{T}_{\text{opt}} \approx 96.3\ \mu s$, achieving an uncertainty below 500 ppm, which is sufficient for characterizing the critical 62.5 MHz clock. Additionally, a voltage measurement architecture based on the ADS1261 was designed to monitor both fixed and configurable power rails of the board.

The results demonstrate that the implemented architecture is functional, stable, and reproducible, contributing to the optimization of the validation process and ensuring data quality within the DUNE experiment.

Keywords **— Data acquisition (DAQ), electronic test bench, signal generation, frequency measurement, analog–digital electronics, FPGA, DAPHNE, DUNE, high-energy physics instrumentation**

I. CAPÍTULO I

A. INTRODUCCIÓN

La física de partículas moderna busca comprender los mecanismos fundamentales que rigen el universo, desde la estructura de la materia hasta la evolución del cosmos. Dentro de este marco, el estudio de neutrinos tiene gran importancia, al ser una de las partículas más enigmáticas del Modelo Estándar. Su masa extremadamente pequeña, su neutralidad eléctrica y su débil interacción con la materia (caracterizada por una sección eficaz de $10^{-45}\,\mathrm{m}^2$) convierten su detección en un desafío experimental considerable [1].

En las últimas décadas, distintos experimentos alrededor del mundo han logrado avances notables en la detección y comprensión de los neutrinos. Los primeros esfuerzos experimentales, como el proyecto DUMAND en Hawái [2] y el experimento Baikal en el lago homónimo de Siberia [3], marcaron el inicio de la detección subacuática de neutrinos mediante fotomultiplicadores sumergidos a gran profundidad. Posteriormente, el detector Amanda instalado en el hielo del Polo Sur consolidó el uso del hielo antártico como medio de detección natural [4]. Su evolución dio lugar al observatorio IceCube, actualmente el detector de neutrinos más grande del mundo, con más de 5 000 módulos ópticos digitales enterrados a 2 500 metros bajo el hielo polar, capaz de registrar neutrinos de energías del orden de los petaelectronvoltios (PeV) [5, 6].

En paralelo, proyectos como Antares en el mar Mediterráneo y su sucesor KM3NeT han aprovechado las propiedades ópticas del agua profunda del mar, debido a su baja luminosidad y transparencia a la luz Cherenkov, para detectar neutrinos de alta energía provenientes del espacio [7, 8, 9]. En estos experimentos, la implementación de módulos ópticos digitales y técnicas avanzadas de reconstrucción de trayectorias ha sido fundamental para mejorar la sensibilidad a eventos raros y reconstruir direcciones con alta precisión angular [6].

Proyectos como Super-Kamiokande han confirmado experimentalmente el fenómeno de oscilación de neutrinos, demostrando que pueden cambiar de sabor (electrónico, muónico o tauónico) durante su propagación [10]. Por otro lado, experimentos enfoca-

dos en neutrinos de baja energía, como JUNO en China [11] e Hyper-Kamiokande en Japón [12], han impulsado avances importantes en la comprensión del comportamiento de estas partículas. Ambos experimentos representan la evolución de años de investigación, con detectores cada vez más grandes, precisos y con sistemas de adquisición más sensibles.

El éxito de estos experimentos depende no solo del medio de detección empleado, sino también de la calidad de la electrónica encargada de registrar señales extremadamente débiles y procesarlas con alta precisión temporal. En conjunto, estos descubrimientos abrieron una nueva era en la física de neutrinos y consolidaron la necesidad de sistemas de detección con electrónica cada vez más precisa, estable y sensible, donde la fidelidad en la adquisición de datos es tan determinante como el propio medio de detección.

En este contexto surge el experimento DUNE, una de las colaboraciones científicas internacionales más grandes y ambiciosas de la actualidad, liderada por Fermilab, cuyo objetivo es estudiar el comportamiento de los neutrinos con una precisión sin precedentes y responder preguntas fundamentales sobre el origen del universo, la asimetría entre materia y antimateria y la posible inestabilidad del protón [13]. DUNE ha sido reconocido como una prioridad científica estratégica por el Panel de Priorización de Proyectos de Física de Partículas (P5) de los Estados Unidos, el cual, en su informe de 2023, destacó la importancia de las fases I y II del experimento para el futuro de la física de altas energías [14, 15]. Para alcanzar estos objetivos, el experimento emplea un haz de neutrinos que recorre más de 1 300 kilómetros desde el laboratorio Fermilab, en Illinois, hasta el Sanford Underground Research Facility en Dakota del Sur (EE. UU.), donde se encuentran los detectores principales.

Estos detectores utilizan un sistema basado en cámaras de proyección temporal en argón líquido (LArTPC), un método que permite reconstruir con gran detalle las trayectorias y la energía depositada por las partículas cargadas producidas en las interacciones de neutrinos. Este tipo de tecnología, validada previamente en experimentos como ArgoNeuT, ha demostrado su capacidad para registrar miles de eventos y ofrecer

imágenes tridimensionales de alta resolución gracias al control preciso de parámetros como la velocidad de deriva y la vida media de los electrones en el argón líquido [16]. En DUNE, la implementación de estas cámaras se complementa con sistemas de detección de luz basados en SiPMs y módulos Arapuca, diseñados para maximizar la eficiencia de captura de fotones en el argón líquido. Esta arquitectura impone exigencias tecnológicas notables sobre los sistemas electrónicos encargados de la adquisición y digitalización de las señales. Dichos sistemas, aunque ubicados a temperatura ambiente en la infraestructura subterránea, deben operar con bajo ruido, alta linealidad y gran estabilidad para registrar con fidelidad las señales ultrarrápidas que provienen del detector criogénico [17, 18].

Uno de los elementos fundamentales para el éxito del experimento DUNE es el sistema de adquisición de datos DAPHNE. Estas tarjetas están diseñadas para convertir y procesar las señales analógicas provenientes del sistema de detección de fotones (PDS) [19]. Su correcto funcionamiento es esencial para garantizar la calidad y confiabilidad de los datos registrados; cualquier desviación en su desempeño podría comprometer la fidelidad de las mediciones y, en consecuencia, los resultados científicos del proyecto. Por esta razón, cada tarjeta debe someterse a un proceso riguroso de validación funcional antes de ser integrada en el detector. No obstante, los protocolos actuales requieren largas jornadas de trabajo manual y personal especializado, lo que motiva la búsqueda de mecanismos más eficientes y automatizados para la validación electrónica.

En experimentos de gran escala como ATLAS en el CERN, es común el uso de bancos de prueba electrónicos para verificar el correcto funcionamiento de las tarjetas y módulos de lectura [20]. Estos bancos de prueba permiten evaluar aspectos como la respuesta de los canales, el comportamiento ante variaciones en las condiciones de operación y la detección de posibles errores en la comunicación o en la alimentación eléctrica. DUNE no es la excepción: antes de enviar las tarjetas DAPHNE al detector, es indispensable validarlas en un entorno controlado que simule sus condiciones reales de trabajo.

A la fecha, existen cuatro versiones del sistema DAPHNE, cuya evolución ha es-

tado vinculada a las crecientes necesidades del experimento. Desde su primera versión, estas tarjetas han incorporado mejoras sustanciales en las fuentes de alimentación, la estabilidad de los voltajes y la capacidad de digitalización de múltiples canales a alta frecuencia [21]. Dada la importancia de las tarjetas DAPHNE, es fundamental garantizar que operen de manera continua, estable y con la mínima intervención humana [18]. En este contexto, se vuelve indispensable el desarrollo de bancos de prueba automatizados que permitan validar el desempeño de los sistemas electrónicos con precisión, repetibilidad y eficiencia. Este enfoque, ampliamente utilizado en aplicaciones científicas, industriales y médicas [22], permite realizar pruebas rigurosas en cualquier entorno operativo, reduciendo los tiempos de validación y evitando retrasos en la implementación del experimento DUNE.

El desarrollo de un banco de pruebas implica mucho más que el diseño de hardware; requiere integrar firmware, software y protocolos de medición que permitan ejecutar pruebas automatizadas, registrar los resultados de forma ordenada y facilitar su análisis. Asimismo, el sistema debe ser flexible y escalable, de modo que pueda adaptarse a nuevas versiones de las tarjetas o a evaluaciones más detalladas en el futuro, incluidas aquellas orientadas a la caracterización metrológica, como mediciones de ruido, resolución y estabilidad temporal. La interfaz de usuario y el registro de resultados deben permitir una interpretación rápida y confiable del estado funcional de cada tarjeta, facilitando su trazabilidad y la documentación del proceso de validación.

En este trabajo se presenta el diseño y validación de los subsistemas que conforman un banco de pruebas funcional para las tarjetas DAPHNE del experimento DUNE. El objetivo principal es disponer de una herramienta confiable que permita verificar el cumplimiento de los requerimientos mínimos de operación de las tarjetas y optimizar su proceso de validación antes de ser instaladas en el detector. Este trabajo se enmarca en la línea de investigación en electrónica para optar al título de maestría en ingeniería, y busca contribuir al fortalecimiento de las estrategias de aseguramiento de calidad en sistemas de adquisición de datos para experimentos de física de altas energías.

Para lograrlo, se define la arquitectura del banco de pruebas, se diseñan los sub-

sistemas electrónicos necesarios, se implementa el control por firmware y se desarrolla una plataforma de software que permite realizar las pruebas y visualizar los resultados.

De esta manera, el presente proyecto no solo ofrece una solución práctica a una necesidad concreta dentro del experimento DUNE, sino que también sienta las bases para futuros desarrollos orientados a la caracterización electrónica y la validación metrológica de sistemas similares. Su aporte se integra al esfuerzo internacional por garantizar que los sistemas de detección de neutrinos operen con la precisión y estabilidad necesarias para cumplir los objetivos científicos de una de las colaboraciones más importantes en la física contemporánea.

B. PLANTEAMIENTO DEL PROBLEMA

La detección de neutrinos ha sido una de los retos más desafiantes y emocionantes en la física de partículas, debido a la naturaleza casi indetectable de estas partículas fundamentales. En el marco de los grandes proyectos estratégicos de investigación sobre el futuro de la física de altas energías, comprender cómo se producen, interactúan y oscilan los neutrinos ha sido identificado como una prioridad por el Panel de Priorización de Proyectos de Física de Partículas (P5) de los Estados Unidos. Su informe de 2023 respalda el desarrollo de las fases I y II del experimento DUNE, destacándolo como un proyecto clave para avanzar en el entendimiento profundo del universo [14, 15].

El experimento DUNE busca estudiar el comportamiento de los neutrinos con una precisión sin precedentes, mediante la instalación de detectores basados en tecnología LArTPC ubicados a 1.5 km de profundidad en el Sanford Underground Research Facility [13]. En esta infraestructura, el sistema de detección de luz, conocido como PDS, desempeña un papel esencial al registrar la luz de centelleo producida cuando los neutrinos interactúan con el argón líquido, proporcionando información crítica para reconstruir el tiempo inicial y la energía de cada evento [16].

En este contexto, el sistema de adquisición de datos DAPHNE se ha desarrollado como el módulo electrónico responsable de recibir, digitalizar y procesar las señales analógicas provenientes de los fotodetectores del PDS. Estas señales, caracterizadas

por ser ultrarrápidas y con alta resolución temporal, son determinantes para distinguir eventos reales del ruido y garantizar la precisión de los análisis científicos [19]. Aunque DAPHNE opera en un entorno de electrónica a temperatura ambiente, su ubicación final dentro del Far Detector de DUNE (un entorno subterráneo de difícil acceso) hace que cualquier intervención técnica implique un esfuerzo logístico considerable, involucrando personal especializado y largas jornadas de trabajo. Por ello, resulta fundamental asegurar que cada tarjeta DAPHNE funcione de manera confiable antes de su instalación definitiva.

Para cumplir con este propósito, las tarjetas deben superar un conjunto de verificaciones que incluyen parámetros como niveles de ruido controlado, estabilidad de la alimentación eléctrica, linealidad de la respuesta y correcta operación de sus canales de adquisición. No obstante, el protocolo de validación previo presentaba limitaciones significativas: dependía de pruebas manuales no estandarizadas y requería de personal con conocimientos tanto en electrónica como en física. Esta metodología generaba largos tiempos de ejecución, falta de repetibilidad en las mediciones y una dependencia de personal altamente calificado, evidenciando la necesidad de un sistema de pruebas más eficiente, automatizado y reproducible.

El desarrollo de las tarjetas DAPHNE ha pasado por cuatro etapas de mejora, a partir de la necesidad de obtener un sistema de adquisición cada vez más estable, preciso y confiable para el experimento DUNE. Desde las primeras versiones, el objetivo principal ha sido asegurar que la electrónica encargada de recibir y digitalizar las señales del sistema de detección de luz funcione de manera robusta y consistente. Con cada versión se han corregido limitaciones identificadas en pruebas anteriores, involucrando mejoras continuas en aspectos como la gestión de potencia, el acondicionamiento analógico, la uniformidad entre canales y el desempeño global del sistema [21]. Una descripción más detallada del avance entre versiones y de los cambios implementados se presenta en la sección 1.4 (Estado del arte).

El principal reto para el proyecto es asegurar que cada tarjeta DAPHNE cumpla con los requisitos mínimos de funcionamiento antes de ser enviada al laboratorio

para su instalación en el detector. En instrumentación científica avanzada, los bancos de prueba son herramientas esenciales para garantizar el desempeño de los sistemas, especialmente en aplicaciones críticas como las médicas, ambientales, aeroespaciales y experimentos de física de altas energías [22]. En el caso de DUNE, esta necesidad es aún mayor, puesto que las tarjetas DAPHNE se instalan a gran profundidad, en un entorno donde cualquier mantenimiento implica procedimientos logísticos complejos, tiempos prolongados, coordinación entre múltiples equipos y consideraciones adicionales de seguridad. Por ello, cualquier falla después de la instalación implica costos operativos elevados y posibles retrasos en el cronograma del experimento debido a las condiciones particulares de su infraestructura subterránea.

La disponibilidad de espacios como ProtoDUNE, donde podrían realizarse pruebas más exhaustivas, es limitada. Su uso requiere coordinación entre varios equipos, tiempos de configuración prolongados y, en algunos casos, la suspensión temporal de actividades experimentales [23]. Esto hace inviable emplearlos para validar tarjetas de manera rutinaria. Por esta razón, contar con un banco de pruebas electrónico autónomo se convirtió en una necesidad.

El sistema desarrollado en esta tesis permitió automatizar gran parte del proceso de validación funcional, reducir tiempos de ejecución y establecer criterios de medición consistentes. Asimismo, disminuyó la dependencia de la intervención manual especializada y mejoró la reproducibilidad de las mediciones. Desde la perspectiva académica, este desarrollo aporta nuevas herramientas para la prueba de sistemas electrónicos en detección de partículas y abre la puerta a trabajos futuros en caracterización metrológica. Desde una perspectiva experimental, asegura que las tarjetas instaladas en DUNE cumplan con los parámetros esenciales de operación, contribuyendo a la calidad y confiabilidad de los datos obtenidos [24].

Aunque el impacto social de esta investigación es limitado de forma directa debido a que se centra en una tecnología especializada aplicada a la física de partículas, su contribución recae en el fortalecimiento de las herramientas y metodologías utilizadas en instrumentación científica. El diseño de sistemas electrónicos de prueba más

eficientes, automatizados y reproducibles tiene aplicaciones potenciales en otras áreas de la ingeniería, la metrología, la industria electrónica, médica y el desarrollo de tecnologías avanzadas en general. Además, optimizar los procesos de validación reduce costos y tiempos de pruebas, generando prácticas más sostenibles y accesibles para futuras investigaciones y laboratorios.

Actualmente, las pruebas realizadas a las tarjetas DAPHNE incluyen procesos como la medición manual de voltajes, la verificación de impedancias y la calibración del acondicionamiento de señal, los cuales se ejecutan con montajes experimentales diversos y sin un protocolo estandarizado. Esta falta de estandarización prolonga los tiempos de diagnóstico y puede generar retrasos en el experimento [13]. Por ello, contar con un sistema electrónico de prueba diseñado específicamente para las tarjetas DAPHNE resulta fundamental: permite optimizar estos procedimientos, mejorar la eficiencia global del flujo de validación y reducir tanto el tiempo como los costos asociados a la verificación de su funcionamiento mínimo.

Para abordar este problema planteado, se diseñaron y construyeron los subsistemas que conforman un banco de pruebas electrónico específico para la tarjeta DAPHNE. Este banco integra protocolos de verificación estandarizados que permiten evaluar parámetros críticos como las fuentes de operación, el funcionamiento del AFE y el funcionamiento de los sistemas de digitalización. Además, incorpora el uso de FPGAs como núcleo de control del proceso de prueba, para la sincronización, adquisición y validación de las señales procesadas por la tarjeta.

El sistema incluye el desarrollo del firmware para generar las rutinas de medición y el desarrollo de una plataforma de software que permite ejecutar las pruebas, registrar automáticamente los resultados y visualizar de manera estructurada el estado funcional de cada tarjeta. Esta integración entre electrónica, FPGA y software garantiza un flujo de validación más confiable, reproducible y eficiente.

En este contexto, surge la siguiente pregunta de investigación:

¿Qué nivel de rendimiento y estabilidad mínima pueden garantizar las tarjetas DAPHNE en condiciones simuladas de laboratorio, mediante la implementación de un

banco de pruebas basado en los subsistemas diseñados y validados en este trabajo de maestría?

C. MARCO TEÓRICO

1) Física de neutrinos y el experimento DUNE

a) Neutrinos

Los neutrinos son partículas subatómicas fundamentales que no poseen carga eléctrica y tienen una masa extremadamente pequeña, mucho menor que la de los electrones, aunque su valor exacto aún es motivo de investigación. Su existencia fue propuesta por Wolfgang Pauli en 1930 para explicar la aparente pérdida de energía y momento angular en los decaimientos beta, y desde entonces se han convertido en un elemento clave para comprender procesos fundamentales del universo. Los neutrinos son partículas que interactúan principalmente a través de la interacción débil, lo que significa que atraviesan grandes cantidades de materia sin experimentar desviaciones significativas. Esta escasa interacción, si bien hace extremadamente difícil su detección, también las convierte en mensajeros privilegiados de fenómenos astrofísicos y de física de partículas.

Existen tres "sabores" de neutrinos (electrónico, muónico y tau), cada uno asociado con un leptón cargado correspondiente: neutrino electrónico, neutrino muónico y neutrino tau, cada uno asociado a una partícula cargada correspondiente [25, 26]. La Fig. 1 ilustra esta correspondencia entre sabores de neutrinos y leptones [27].

Un aspecto fundamental de su física es el fenómeno de oscilación de neutrinos, mediante el cual pueden cambiar de un sabor a otro mientras se desplazan. Este comportamiento constituye evidencia indirecta de que los neutrinos poseen masa y puede describirse mediante la mezcla de estados de sabor y estados de masa. La probabilidad de detectar un neutrino de un sabor específico depende de su energía, la distancia recorrida y las diferencias de masa entre los estados cuánticos involucrados [28].

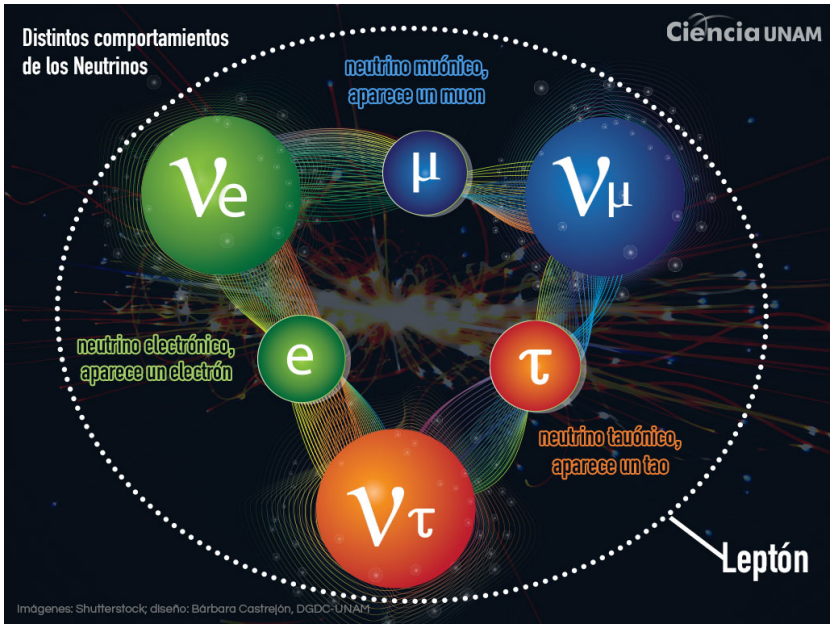


Fig. 1. Relación entre los sabores de neutrinos y sus leptones asociados [27].

b) Experimento DUNE

El Deep Underground Neutrino Experiment (DUNE) es uno de los proyectos más ambiciosos y de mayor alcance en la física de partículas contemporánea. Liderado por Fermilab (Estados Unidos), su propósito central es estudiar en detalle las propiedades de los neutrinos, partículas fundamentales que, a pesar de interactuar muy débilmente con la materia, pueden ofrecer información crucial sobre la estructura del universo, la violación de la simetría materia-antimateria y la evolución de fenómenos astrofísicos de gran energía [18].

La colaboración de DUNE reúne a más de 1 000 científicos e ingenieros de más de 30 países, lo que refleja su carácter global y su importancia dentro de la comunidad científica internacional. Uno de sus objetivos principales es profundizar en el fenómeno de las oscilaciones de neutrinos, es decir, la transformación de un sabor de neutrino en otro durante su propagación. Este fenómeno es clave para comprender la masa de los neutrinos y la jerarquía entre sus estados de masa. Asimismo, el experimento busca investigar los mecanismos que intervienen en eventos cósmicos extremos, como explosiones de supernovas, formación de estrellas o el colapso gravitacional asociado a agujeros

negros, procesos en los que los neutrinos son actores fundamentales para transportar energía e información desde regiones inalcanzables por otros tipos de radiación [18].

Para realizar estas mediciones, DUNE empleará detectores instalados a aproximadamente 1.5 km bajo superficie, lo que permite reducir significativamente el ruido producido por los rayos cósmicos y mejorar la sensibilidad ante señales débiles y eventos de baja energía [18]. La Fig. 2 muestra el interior de los criostatos del detector lejano, donde se alojarán los módulos de argón líquido (LAr) y los sistemas de detección asociados [29].

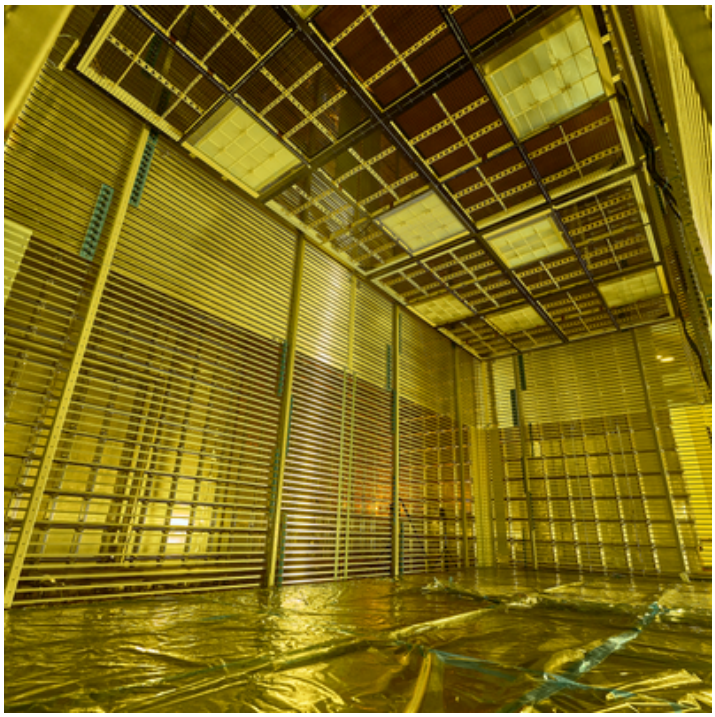


Fig. 2. Fotografía del interior de los criostatos instalados en el detector lejano [29].

El diseño del experimento DUNE, ilustrado en la Fig. 3, integra un haz de neutrinos y un conjunto de detectores localizados a diferentes distancias. El detector cercano, ubicado en Fermilab, caracteriza el haz justo después de su producción, registrando su composición inicial y espectro energético.

La generación del haz de neutrinos inicia en Fermilab, donde protones son acelerados hasta energías entre 60 y 120 GeV y luego impactan un blanco de grafito. Esta colisión produce principalmente piones y kaones. Estas partículas secundarias pueden

ser enfocadas rápidamente mediante bocinas magnéticas. En el túnel de decaimiento se desintegran, generando principalmente neutrinos muónicos [30].

A diferencia de los mesones cargados, los neutrinos no pueden ser guiados por imanes y continúan su trayectoria casi sin interactuar, atravesando el detector cercano y recorriendo 1 300 km hasta los criostatos del detector lejano.

Esta separación entre detectores, conocida como línea de base, maximiza la sensibilidad del experimento al permitir evaluar cómo evoluciona la composición del haz desde su producción hasta su llegada al detector distante, condición esencial para la medición precisa de las oscilaciones de neutrinos.

Dentro de los criostatos coexisten dos subsistemas complementarios:

- Cámaras de proyección temporal (TPC), responsables del registro espacial y temporal de las trazas de partículas cargadas.
- Sistema de detección de fotones (PDS), encargado de captar la luz de centelleo generada en el argón líquido.

La acción conjunta del detector cercano y lejano constituye el núcleo experimental, permitiendo medir con precisión las oscilaciones de neutrinos [31].

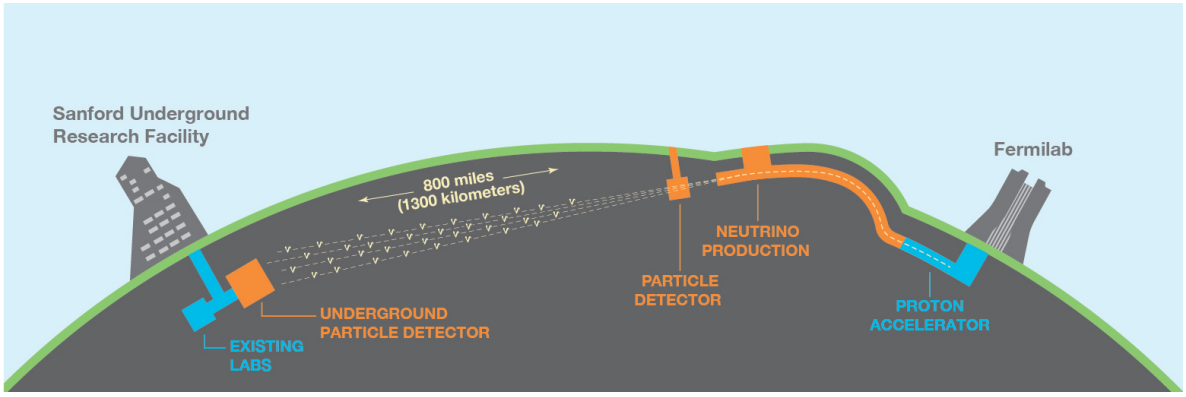


Fig. 3. Esquema general del experimento DUNE, donde se ilustra el recorrido del haz de neutrinos generado en el acelerador de protones de Fermilab, su detección inicial en el detector cercano y su posterior llegada al detector lejano, situado 1 300 km más lejos y 1 km bajo tierra en el Sanford. [29].

2) Abordaje conceptual de sistemas de adquisición de datos de DUNE

a) Tarjetas DAPHNE

La tarjeta DAPHNE (Digital Analog Processing Hardware for Neutrino Experiments) es un componente crucial dentro de la cadena de adquisición de datos en el experimento DUNE. Su función principal es actuar como interfaz entre los detectores de argón líquido y el sistema de procesamiento, capturando, digitalizando y transfiriendo las señales producidas en el PDS. En esencia, DAPHNE convierte las señales analógicas de los sensores ópticos en información digital utilizable para la reconstrucción de eventos físicos [29].

El rendimiento de las tarjetas DAPHNE influye directamente la calidad de los datos del experimento. Por tal razón, su diseño, calibración y verificación deben asegurar una alta eficiencia de conversión, una gestión adecuada del ruido, estabilidad ante variaciones térmicas y robustez en la sincronización del tiempo. Estos aspectos son críticos para garantizar que la información registrada preserve con fidelidad la forma de onda original y permita inferir parámetros esenciales de las interacciones de neutrinos.

DAPHNE cumple un rol clave dentro del sistema DAQ al encargarse de la digitalización de las señales del PDS, caracterizadas por pulsos de muy corta duración (típicamente $< 1\ \mu s$), de baja amplitud y que requieren frecuencias de muestreo mayores a 50 MSPS para mantener su integridad temporal. Una digitalización precisa permite determinar con alta exactitud el tiempo de llegada del pulso y realizar la integración de carga, necesaria para estimar la energía luminosa del evento registrado [32].

La precisión en la adquisición y procesamiento de estos datos es indispensable para reconstruir los eventos con exactitud y entender mejor las propiedades de los neutrinos y los fenómenos relacionados. Además, el sistema está diseñado para gestionar de manera eficiente los grandes volúmenes de datos generados debido a la alta frecuencia de los eventos y la complejidad de las mediciones, asegurando que toda la información relevante se capture y procese de manera óptima [33]. El diseño de DAPHNE ha evolucionado mediante múltiples iteraciones, incorporando mejoras en la estabilidad de las fuentes de alimentación, la linealidad del AFE, la reducción del ruido electrónico y la calidad de la señal digitalizada.

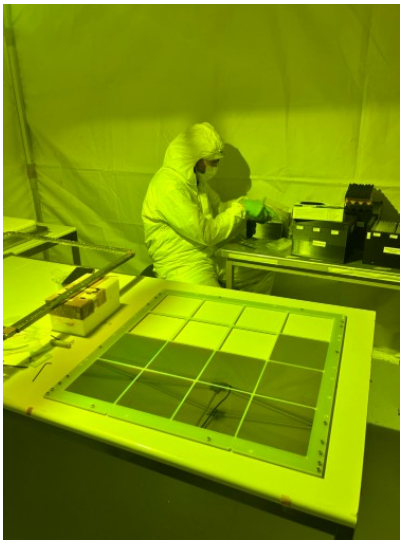
Aunque el detector LArTPC opera en un ambiente criogénico extremo, DAPHNE se instala en la región de electrónica caliente (temperatura ambiente), ubicada fuera del criostato. Esta zona se encuentra en el área subterránea del Detector Lejano, lo que implica que cualquier intervención o mantenimiento requiere una planificación cuidadosa debido a las limitaciones de acceso y a los procedimientos de seguridad propios del experimento [17].

b) Photon Detection System (PDS)

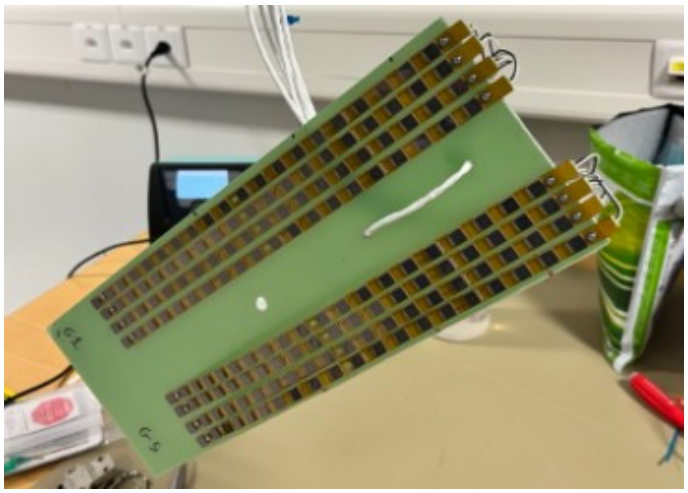
El Photon Detection System (PDS) es un subsistema fundamental de los detectores de DUNE, encargado de registrar la luz de centelleo generada cuando un neutrino interactúa con el argón líquido. En estos eventos, los electrones liberados por ionización se recombinan con los átomos de argón, generando fotones en el rango VUV ($\sim$ 127 nm). Esta señal óptica, de respuesta rápida, complementa la señal de carga registrada por la TPC, aportando información temporal crítica [34].

Para maximizar la eficiencia de captura, el PDS utiliza módulos ARAPUCA, ilustrados en la Fig. 4a [35]. Estos dispositivos funcionan como trampas ópticas de gran área, diseñadas para convertir la luz VUV ($\sim$ 127 nm) en fotones de aproximadamente 400 nm mediante materiales *wavelength shifter*. Una vez convertidos, los fotones quedan confinados dentro de la cavidad interna y son guiados hacia los fotomultiplicadores de silicio (SiPMs), donde finalmente son detectados. La Fig. 4b muestra el montaje de los bancos de SiPMs utilizados en el sistema.

Además, los módulos ARAPUCA ofrecen varias características que los hacen especialmente adecuados para su integración en DUNE. Cuentan con una gran superficie colectora de fotones y un diseño modular, delgado y mecánicamente adaptable, lo que facilita su instalación en distintos entornos del detector. Su arquitectura permite la detección de luz por ambas caras del dispositivo y ofrece sensibilidad tanto a fotones VUV como a luz visible. Asimismo, su eficiencia puede ajustarse variando la cobertura del fotocátodo; en las configuraciones actuales, alcanza aproximadamente entre 3 % y 4 % utilizando una cobertura limitada mediante SiPM activo. Finalmente, su concepto



(a) Proceso de ensamblaje de un módulo X-Arapuca en un ambiente controlado en CERN.



(b) Arreglo de SiPMs instalado en la estructura del sistema de detección de luz.

Fig. 4. Arreglo de SiPMs instalado en la estructura del sistema de detección de luz [29].

y arquitectura les confieren un potencial significativo para aplicaciones adicionales más allá del experimento DUNE [35].

Cuando un fotón llega a un SiPM, este genera un pulso eléctrico cuya amplitud depende del número de microceldas activadas. La Fig. 5 presenta una señal de un fotón único (*single photon*), usada para calibraciones y estudios de linealidad. A medida que aumenta la intensidad luminosa, los pulsos también crecen, lo que permite construir histogramas de *single*, *dual* y *multi-photon*, esenciales para caracterizar el desempeño del sistema.

La detección de fotones proporciona información fundamental para determinar el tiempo de iteracción (T_0), necesario para correlacionar el centelleo con el tiempo de deriva de los electrones en la TPC; así mismo, mejorar la reconstrucción tridimensional del evento al combinar la señal óptica (rápida) con la de carga (lenta), e identificar eventos de baja energía (como neutrinos de supernovas) en los que la señal óptica ofrece una referencia temporal crítica [36].

Dentro de este sistema, la tarjeta DAPHNE desempeña un papel esencial al garantizar la sincronización, el muestreo correcto de los pulsos ópticos y la transferencia

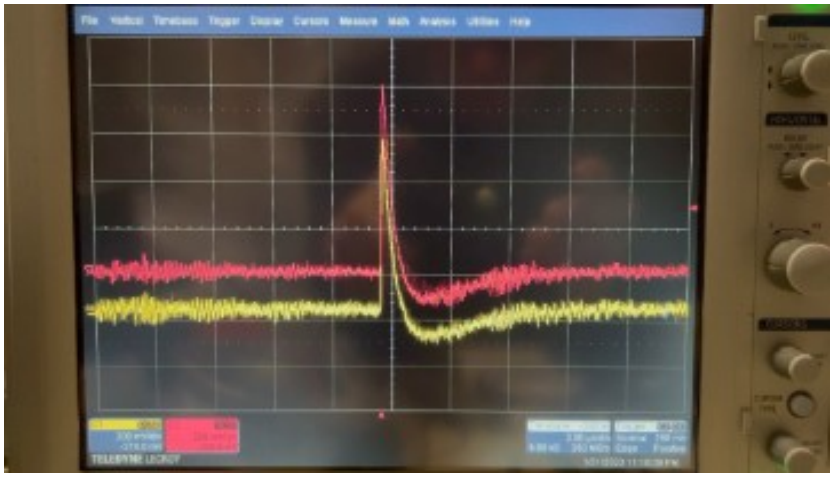


Fig. 5. Ensayo de respuesta eléctrica de los SiPM bajo excitación por fotones individuales. Se observa la respuesta rápida asociada a la acumulación inicial de carga y el descenso controlado de la señal debido a las capacitancias internas del dispositivo.

confiable de datos al DAQ. Gracias a esta integración, el PDS mejora la precisión en la reconstrucción de eventos y reduce las incertidumbres asociadas, incrementando la sensibilidad del experimento en escenarios clave.

3) Bancos de pruebas para la tarjeta DAPHNE

a) Conceptos básicos de bancos de pruebas

Un banco de pruebas electrónico es un sistema diseñado para evaluar el comportamiento y las características de un componente o sistema en condiciones controladas. En el caso de la tarjeta DAPHNE, un banco de pruebas permitiría identificar si la tarjeta cumple con los requerimientos específicos del experimento, como la eficiencia de conversión analógica-digital, el manejo del ruido y la respuesta a señales simuladas.

Adicionalmente, un banco de pruebas es esencial para comprobar los requisitos mínimos de operación, como en este caso, determinar si la tarjeta DAPHNE opera de forma adecuada bajo las condiciones específicas en las que se usará dentro del experimento; o verificar la capacidad de la tarjeta para manejar situaciones imprevistas o fuera de las condiciones normales, como fluctuaciones de voltaje o variaciones en la temperatura.

En experimentos de física de altas energías, como DUNE, los bancos de pruebas son críticos para detectar fallas en etapas tempranas, garantizar la estabilidad del hardware a largo plazo y reducir riesgos durante la instalación subterránea. Este enfoque es consistente con prácticas ampliamente reportadas en sistemas de lectura y electrónica de detección en grandes experimentos internacionales [37].

b) Aspectos teóricos del diseño electrónico

En el contexto del experimento DUNE, el diseño electrónico es una etapa fundamental para asegurar la integridad de las señales, la eficiencia energética y la confiabilidad de los subsistemas. Un diseño adecuado garantiza que el circuito funcione correctamente tanto en simulación como en su implementación física, minimizando interferencias, pérdidas y errores funcionales.

- *Diseño de PCB* Con el esquema diseñado, se realiza el diseño físico que compone los circuitos de hardware e implica la disposición de componentes en la PCB y la conectividad entre ellos. Requiere un diseño de componentes y cableado que considere plenamente los requisitos funcionalales, la compatibilidad electromagnética, la producción y el procesamiento; así mismo, que considere también el mantenimiento y actualizaciones posteriores, de modo que el circuito pueda diseñarse para que sea fácil de producir y procesar [38].
- *Desarrollo de firmware* El diseño electrónico incluye también el desarrollo del firmware, encargado de gestionar la operación del hardware y asegurar la comunicación entre el banco de pruebas y la tarjeta DAPHNE. El firmware controla convertidores analógicos–digital (ADC), generadores de señal, módulos de adquisición y protocolos de comunicación internos [39]. En el banco de pruebas DAPHNE, la arquitectura se basa en dispositivos FPGA, ampliamente utilizados en sistemas de lectura debido a su flexibilidad y capacidad para implementar lógica de alta velocidad. Una FPGA consiste en bloques de lógica configurables y una red de interconexiones programables mediante lenguajes de descripción de hardware como VHDL [40].
- *Arquitectura del software* El software de registro constituye la capa encargada de almacenar, procesar y presentar los datos generados durante las pruebas. Además,

permite la visualización clara de resultados, un análisis estadístico automatizado, generación de reportes, identificación de fallas y la validación del cumplimiento de especificaciones. En otras palabras, el software es esencial para cerrar el ciclo de validación del banco de pruebas y garantizar trazabilidad completa, cumpliendo con estándares modernos de sistemas de adquisición en experimentos de gran escala.

c) Integridad de señales

- *Acondicionamiento de señales* El acondicionamiento de señales es esencial para garantizar la transmisión precisa y libre de distorsiones dentro de un sistema electrónico. Para preservar la integridad de señal, deben considerarse varios aspectos críticos del diseño. En primer lugar, el diseño de la PCB debe incorporar estrategias de mitigación de interferencia electromagnética, tales como el uso de planos de tierra continuos, blindajes adecuados y separación física entre líneas sensibles y aquellas que conmutan a alta velocidad. Un aislamiento eléctrico apropiado también ayuda a reducir el acoplamiento de ruido entre etapas, permitiendo que las señales se propaguen de manera limpia y confiable.

  El sistema de alimentación constituye otro elemento clave en la integridad de señal. Se requiere un suministro estable de tensión y corriente, lo cual se logra mediante la adecuada ubicación y dimensionamiento de capacitores de desacoplamiento, encargados de atenuar perturbaciones en las líneas de alimentación. Asimismo, propiedades físicas como la longitud, ancho e impedancia de las trazas influyen directamente en la velocidad de propagación, las pérdidas y la susceptibilidad a interferencias. Por ello, es imprescindible diseñarlas para minimizar la resistencia y la inductancia, preservando así la calidad de las señales [41].

d) Medición de voltaje y módulos térmicos

- *Medición de voltaje y módulos térmicos* La medición de voltaje es un proceso fundamental en la verificación de circuitos electrónicos, ya que permite evaluar la correcta

operación y el funcionamiento de los componentes. La medición de voltaje se realiza para verificar que las señales de alimentación y control estén dentro de los parámetros especificados, garantizando así la fiabilidad del sistema de adquisición de datos; en el contexto de la tarjeta DAPHNE, estas mediciones son esenciales para asegurar la integridad de la señal y la correcta operación de los sistemas electrónicos involucrados en la adquisición de datos.

Dado que experimentos de gran escala como DUNE manejan volúmenes significativos de datos a alta velocidad, la disipación térmica se convierte en un aspecto crítico durante el diseño de los sistemas electrónicos. El calor generado por el funcionamiento continuo puede provocar un incremento de la resistencia eléctrica, degradación del rendimiento, aparición de ruido en las señales y, en casos extremos, daños permanentes a componentes sensibles. Por ello, es fundamental implementar estrategias de gestión térmica, como rutas térmicas adecuadas en la PCB, selección de materiales con alta conductividad térmica y mecanismos de enfriamiento activos o pasivos, garantizando así la estabilidad, confiabilidad y precisión del sistema en condiciones de operación intensiva [38].

D. Estado del arte

El estudio de los neutrinos ha sido un campo activo en la física de partículas durante décadas, con importantes avances experimentales y tecnológicos. En las primeras décadas, proyectos pioneros como DUMAND en Hawái [2] y Baikal en Siberia [3] propusieron y validaron la detección de neutrinos mediante fotomultiplicadores sumergidos a gran profundidad, estableciendo la base para técnicas de detectores subacuáticos. Posteriormente, experimentos como Amanda, instalado en el hielo del Polo Sur [4], consolidaron el uso de medios naturales como el hielo para la detección de neutrinos, dando lugar al observatorio IceCube, actualmente el detector de neutrinos más grande del mundo, con más de 5 000 módulos ópticos digitales enterrados a 2 500 m bajo el hielo, capaz de registrar neutrinos de energías del orden de PeV [5, 6].

En paralelo, proyectos como Antares en el Mediterráneo y su sucesor KM3NeT [7, 8] aprovecharon la baja luminosidad y transparencia del agua profunda para la detección de neutrinos de alta energía. En estos experimentos, la implementación de módulos ópticos digitales y técnicas avanzadas de reconstrucción de trayectorias ha sido fundamental para mejorar la sensibilidad a eventos raros y reconstruir direcciones con alta precisión angular [6].

Experimentos como Super-Kamiokande confirmaron el fenómeno de oscilación de neutrinos, demostrando que estas partículas pueden cambiar de sabor (electrónico, muónico o tauónico) durante su propagación [10]. Por otro lado, experimentos centrados en neutrinos de baja energía, como JUNO en China [11] y Hyper-Kamiokande en Japón [12], han impulsado avances importantes en la comprensión de estas partículas, implementando detectores de mayor tamaño y sistemas de adquisición más sensibles.

El experimento DUNE representa la evolución de estos esfuerzos a escala internacional. Desde su formación en 2015, DUNE ha desarrollado instalaciones en Fermilab (Illinois) y en el Sanford Underground Research Facility (Dakota del Sur). El detector cercano en Fermilab caracteriza el haz de neutrinos inmediatamente después de su producción, mientras que el detector lejano, compuesto por cuatro criostatos de argón líquido a 1.5 km bajo la superficie, registra los eventos tras 1 300 km de propagación [16]. Este diseño permite estudiar las oscilaciones de neutrinos, el orden de masa, y fenómenos astrofísicos como supernovas y la formación de estrellas de neutrones o agujeros negros.

Dentro del detector lejano, el núcleo del sistema de adquisición de datos lo constituyen las tarjetas DAPHNE, encargadas de recibir, acondicionar, digitalizar y transferir las señales producidas por los SiPMs al sistema DAQ. Cada tarjeta incluye:

- 5 chips AFE
- 8 canales por AFE (40 canales por tarjeta)
- 6 SiPM por canal
- 8 ganges por tarjeta (240 SiPM en total)

El conjunto de 6 SiPM conectados a un único canal AFE se denomina *gan-*

ge. Este agrupamiento permite promediar las señales, dar uniformidad a la respuesta de los sensores y simplificar la arquitectura del sistema de adquisición, facilitando la digitalización de un gran número de señales de manera eficiente.

Cada fotón de centelleo que llega al SiPM genera un pulso eléctrico que es digitalizado por los AFEs a 62.5 MSPS con resolución de 14 bits. Dado que la duración típica de un evento es de $\sim 5\,\mu s$, cada pulso queda registrado con suficiente resolución temporal para reconstruir la forma de la señal, su amplitud y, por tanto, la energía del evento.

El número total de SiPM y canales por tarjeta es crucial para la eficiencia del sistema: cada interacción de neutrinos produce centelleo en el argón líquido, generando múltiples fotones detectables. El hecho de tener 240 SiPM por tarjeta permite capturar la mayor cantidad posible de fotones, aumentando la probabilidad de registrar los eventos reales y mejorando la resolución espacial y energética. Las tarjetas manejan un volumen de datos de 450 Gbps, asegurando alta linealidad, baja distorsión, reducción de ruido, estabilidad térmica y sincronización precisa entre canales.

La tasa de eventos esperada en el experimento es de aproximadamente 1 000 neutrinos electrónicos y 10 000 neutrinos muónicos durante 7 años, lo que corresponde a cerca de 11 pulsos de neutrinos electrónicos y 100 pulsos de neutrinos muónicos por mes. La detección precisa de estas partículas requiere electrónica altamente sensible, capaz de registrar señales débiles debido a la baja probabilidad de interacción con la materia. En este contexto, los fotomultiplicadores de silicio han demostrado ser una alternativa eficiente a los fotomultiplicadores tradicionales, ofreciendo mayor eficiencia cuántica y resistencia a campos magnéticos [42].

1) Evolución de las tarjetas DAPHNE

El sistema DAPHNE ha pasado por cuatro versiones, cada una incorporando mejoras en rendimiento, confiabilidad y capacidad de digitalización:

a) Versión 1 y Versión 2

La versión 1 (V1) de DAPHNE, que se observa en la Fig. 6, fue desarrollada y probada alrededor de 2021, en parte para usarse en Prototipo ProtoDUNE-II [13, 43]. Esta versión, en Fermilab, validó conceptual y funcionalmente el enfoque, pero presentó retos en estabilidad ante variaciones ambientales (temperatura, humedad, posibles condiciones de presión/radiación) que limitaban su desempeño a largo plazo.

Con base en estas limitaciones, en 2022 se desarrolló la versión 2 (V2). Esta nueva iteración incorporó mejoras en la fuente de alimentación (más filtros, mejores convertidores DC), lo que estabilizó los voltajes de entrada y la calidad de las señales analógicas. Al igual que su predecesora, esta versión mantenía una arquitectura distribuida, con una FPGA encargada de tareas rápidas y un procesador System on Chip (SoC) dedicado a tareas de menor velocidad, lo que permitía un balance entre velocidad de muestreo y facilidad de control/lógica. No obstante, surgió la necesidad del procesamiento eficiente de grandes volúmenes de datos generados por los detectores, lo que motivó la creación de la versión 3 (V3) en 2023 [44].

b) Versión 3

La versión 3 constituye un avance técnico importante: los desarrolladores trasladaron la arquitectura a un System on Module (SoM) unificado, integrando tanto la lógica programable (PL) como el sistema de procesamiento (PS) en un solo módulo. Esta integración simplificó el diseño, superó las limitaciones de la arquitectura distribuida previa y mejoró la velocidad de respuesta, la modularidad y la precisión en la reconstrucción de eventos [44]. La Fig. 7 muestra el diseño correspondiente a la V3.

c) Versión 4

En la versión 4 (V4), los ingenieros avanzaron hacia un diseño aún más modular: la etapa analógica (AFE) se desacopla completamente de la tarjeta digital mediante la implementación de una tarjeta mezzanine. Esta separación ofrece varias ventajas:

- *Versatilidad:* al contar con la etapa analógica como módulo independiente, la base digital de DAPHNE puede adaptarse fácilmente a diferentes configuraciones de sen-

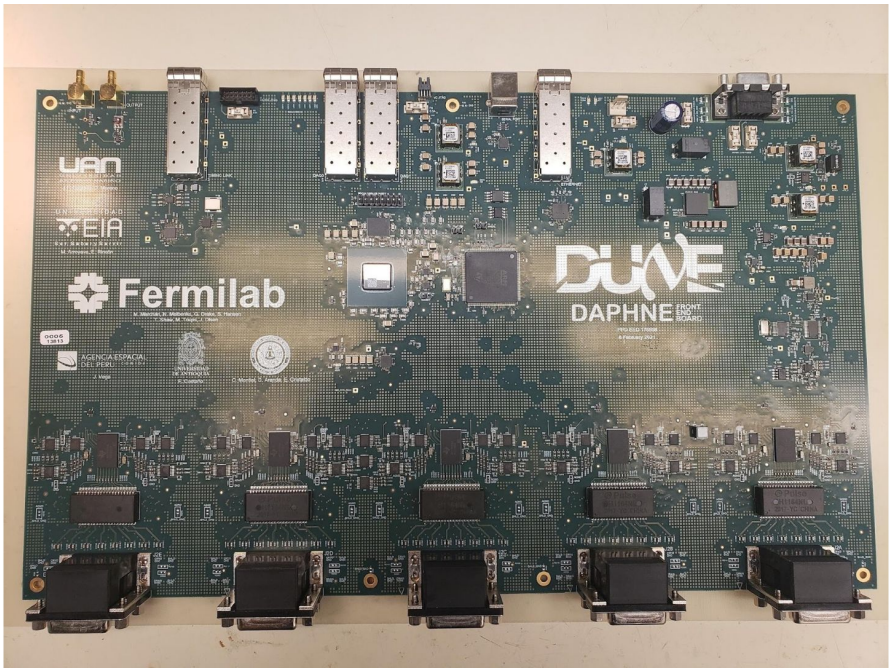


Fig. 6. La tarjeta DAPHNE V1 presenta una arquitectura distribuida de coprocesamiento, en la que el *slow control* es ejecutado por un microcontrolador STM32H7, mientras que la adquisición rápida de datos (*Fast Acquisition*) se implementa en una FPGA Artix-7, permitiendo procesar señales de alta velocidad del sistema de detección [44].

sores (por ejemplo, SiPM con distintas características) o condiciones experimentales, sin necesidad de rediseñar todo el sistema.

- *Mantenimiento y pruebas:* permite reemplazar o actualizar únicamente la parte analógica al optimizar el front-end, sin afectar la base digital. Esto resulta especialmente útil en prototipos y bancos de prueba.
- *Costos y tiempo de desarrollo:* la reutilización de la base digital con distintos mezzanines analógicos optimiza el desarrollo de nuevas versiones y pruebas, lo que es muy conveniente para experimentos de investigación en constante evolución.

En la Fig. 8 se ilustra el esquema de la versión V4, evidenciando la estructura de la tarjeta principal y la mezzanine analógica.

Aunque aún no se cuenta con una publicación formal que detalle completamente la V4, su diseño modular ha sido mencionado en discusiones de desarrollo dentro de la colaboración DUNE y entre equipos latinoamericanos.

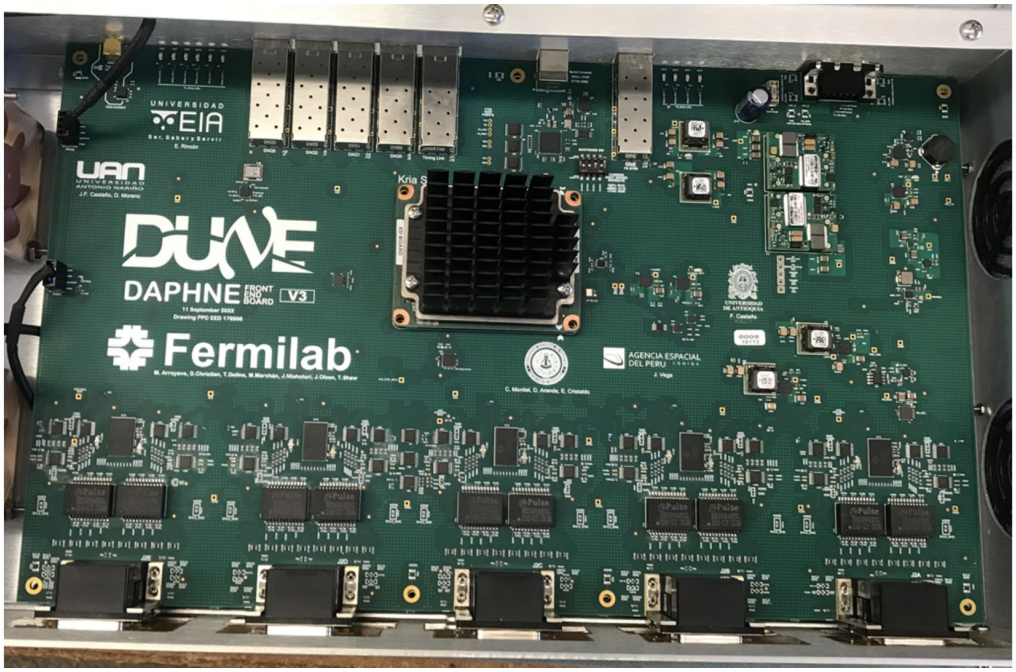


Fig. 7. La tarjeta DAPHNE V3 integra un *System on Module* (SoM) donde la lógica programable (PL) y el sistema de procesamiento (PS) se unifican en un mismo dispositivo, visible en el centro de la tarjeta bajo el disipador térmico. La placa incorpora también los módulos ópticos, las etapas analógicas de acondicionamiento y los conectores de acoplamiento al PDS [51].

Para garantizar la confiabilidad y estabilidad de los sistemas de adquisición de datos, los experimentos de neutrinos han desarrollado procedimientos rigurosos de pruebas y validación. En el caso de DUNE, estas pruebas se centran en evaluar la respuesta de las tarjetas DAPHNE bajo condiciones ambientales controladas antes de su implementación en el sitio de operación. Aunque las tarjetas se encuentran fuera del criostato y no están sometidas a las condiciones criogénicas extremas del argón líquido, deben demostrar estabilidad térmica, inmunidad a ruido eléctrico y precisión en la digitalización de pulsos rápidos, garantizando así la calidad de la adquisición de datos.

El desarrollo de DAPHNE ha seguido un proceso iterativo, con cada versión enfocándose en mejorar la capacidad de adquisición y procesamiento de datos, así como la precisión y eficiencia en la detección de neutrinos. La V1, usada en ProtoDUNE-II, validó la integración electrónica con los subsistemas del detector, pero evidenció limitaciones en estabilidad y confiabilidad. La V2 incorporó mejoras en la fuente de ali-

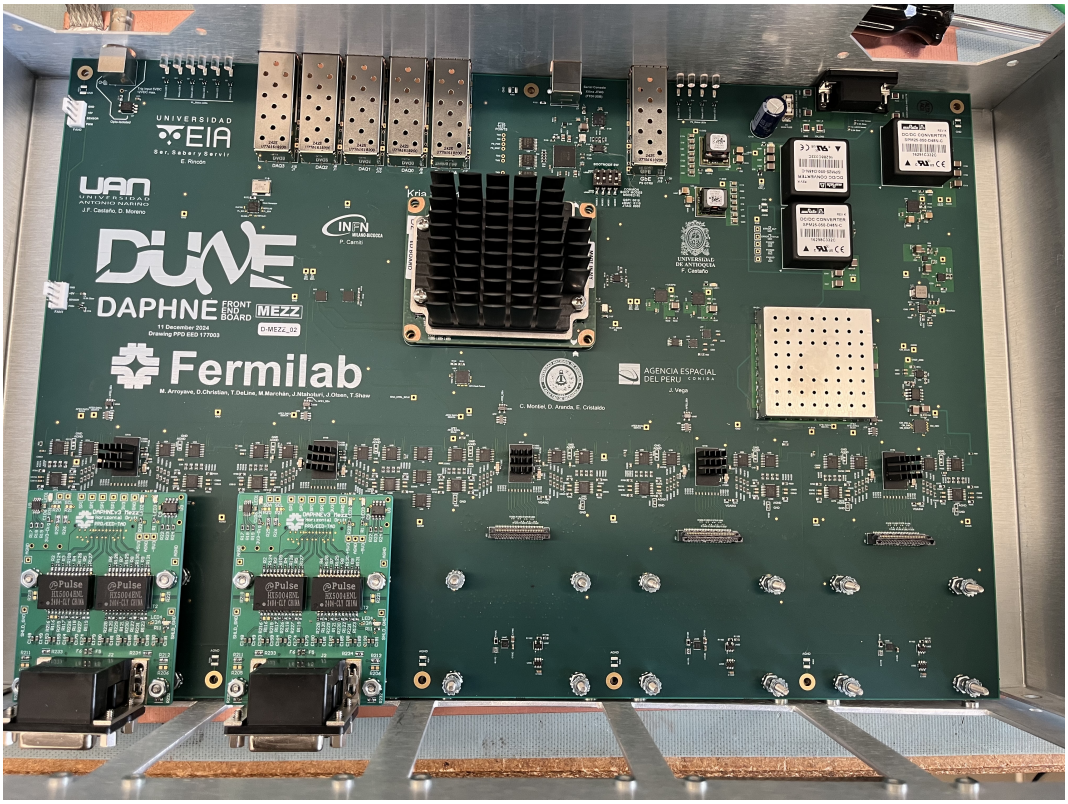


Fig. 8. La tarjeta DAPHNE V4, integra los bancos de puertos ópticos, el disipador térmico del módulo FPGA/SoC, los módulos de adquisición tipo mezzanine y la distribución de componentes dedicados al acondicionamiento de señal y a la sincronización del sistema.

mentación, filtros y convertidores DC, corrigiendo la estabilidad de voltajes y la calidad de las señales. La V3 adoptó una arquitectura unificada mediante SoM, optimizando velocidad, modularidad y reconstrucción de eventos. Finalmente, la V4 introdujo un diseño modular, con la etapa analógica desacoplada en una tarjeta mezzanine, permitiendo flexibilidad para pruebas y mantenimiento sin modificar la base digital, aunque no cuente con una publicación formal.

La evolución de DAPHNE hacia arquitecturas más rápidas, modulares y precisas ha elevado de manera notable los requisitos de validación, alineándose con prácticas establecidas en otros experimentos de gran escala. En proyectos como ATLAS en el CERN, el uso de bancos de prueba electrónicos es una etapa estándar para garantizar el correcto funcionamiento de las tarjetas y módulos de lectura antes de su integración en el detector [20]. Estos sistemas permiten evaluar la respuesta de los canales, la

estabilidad ante variaciones de temperatura o alimentación, y la detección temprana de fallas en comunicación o electrónica de potencia.

En este contexto, la literatura reporta diversas estrategias para la verificación electrónica, que van desde herramientas para diseño y prueba de circuitos, hasta sistemas de monitoreo y validación basados en FPGA. Por ejemplo, Ariza Vesga y colaboradores demostraron el uso de entornos de simulación como PROTEUS para diseñar esquemas electrónicos y sistemas impresos para pruebas funcionales [45]. Otros trabajos destacan la relevancia de tarjetas de control de alta precisión capaces de procesar señales rápidas y de baja amplitud [46], así como sistemas de monitoreo de voltaje para detectar y compensar fallos en tiempo real [47]. Además, se han propuesto arquitecturas de validación basadas en FPGA orientadas a garantizar estabilidad y confiabilidad en la adquisición de datos [48], lo que resulta especialmente pertinente para sistemas con altos requerimientos temporales como los del experimento DUNE.

Dado el rol crítico de las tarjetas DAPHNE en la adquisición de señales ópticas, su verificación previa en un entorno controlado resulta indispensable. Antes de su instalación en el detector, cada tarjeta debe someterse a pruebas que repliquen sus condiciones reales de operación, asegurando su desempeño, confiabilidad y compatibilidad con los requisitos del experimento. En este marco, el desarrollo del banco de pruebas para las tarjetas DAPHNE forma parte de un trabajo colaborativo del Grupo de investigación en Instrumentación Científica y Microelectrónica (GICM). donde distintos equipos de ingenieros y físicos trabajan en áreas que van desde la electrónica de lectura hasta la integración de los sistemas de adquisición de datos.

El presente trabajo se enfoca en el diseño y la validación de los subsistemas que conforman dicho banco de pruebas, con el objetivo de garantizar que las tarjetas DAPHNE cumplan los requisitos operacionales antes de su implementación en DUNE. Como contribución a un esfuerzo más amplio, este trabajo ayuda a optimizar tiempos, recursos y procesos de integración, asegurando que las pruebas electrónicas se realicen de manera eficiente y confiable.

Y es ahí donde surge la pregunta: *¿Qué nivel de rendimiento y estabilidad míni-*

ma pueden garantizar las tarjetas DAPHNE bajo condiciones simuladas en ambientes controlados de laboratorio, a partir de los subsistemas diseñados y validados en este trabajo de maestría?

E. OBJETIVOS

1) Objetivo general

Diseño y validación de subsistemas que integran un banco de pruebas electrónico para la evaluación del rendimiento y de los requerimientos mínimos de las tarjetas DAPHNE para su implementación en el experimento DUNE

2) Objetivos específicos

- Definir los subsistemas que se diseñarán para el banco de pruebas de la tarjeta DAPHNE en el experimento DUNE, así como los requerimientos específicos para cada uno de estos subsistemas.
- Desarrollar el diseño electrónico de los subsistemas del banco de pruebas para la tarjeta DAPHNE, incluyendo tanto el diseño del hardware de acondicionamiento como la lógica digital; asegurando el cumplimiento de los requerimientos definidos y la correcta medición de las variables establecidas en el protocolo de pruebas, adaptándose a las particularidades de cada subsistema.
- Realizar la validación de los subsistemas del banco de pruebas de la tarjeta DAPHNE y las pruebas de funcionamiento diseñadas en un ambiente controlado de laboratorio.
- Diseñar el firmware y arquitectura del software para el registro de información del banco de pruebas para la tarjeta DAPHNE.

F. DESCRIPCIÓN GENERAL DE LA METODOLOGÍA

La metodología propuesta se estructura en cuatro fases principales que permiten abordar de manera progresiva el diseño, implementación y validación de los subsistemas que conforman el banco de pruebas electrónico para las tarjetas DAPHNE. Cada fase responde directamente al objetivo general del proyecto y establece el marco de trabajo

para el desarrollo específico de cada uno de los objetivos específicos, como se observa en la Fig. 9.

1) Definición de los subsistemas y requerimientos

La primera etapa consistió en identificar los subsistemas necesarios para evaluar el desempeño mínimo esperado de las tarjetas DAPHNE en condiciones controladas. Para ello se revisaron las especificaciones funcionales de la tarjeta, los protocolos de prueba establecidos por el experimento DUNE y los requerimientos definidos por el grupo GICM. En consecuencia, se definen tres subsistemas principales a desarrollar dentro del banco de pruebas:

a) Subsistema de conversión y generación de señales

Encargado de producir señales simuladas de neutrinos y pulsos de calibración reproducibles. Este subsistema dio lugar al trabajo publicado en LATS2025 [32].

b) Subsistema de medición y verificación de frecuencia

Orientado a validar los relojes internos y externos asociados a la electrónica de lectura, comenzando por la medición precisa de 62.5 MHz y escalable a las demás frecuencias relevantes de operación (100 MHz, 120.327 MHz y 125 MHz).

c) Subsistema de medición de fuentes de operación

Responsable de verificar las tensiones fijas y programables usadas en la alimentación y el control analógico-digital de la tarjeta, incluyendo la comparación entre los valores enviados desde el software y los medidos físicamente en la tarjeta.

Cada subsistema se definió junto con sus requerimientos funcionales, métricas de desempeño y criterios de validación, garantizando trazabilidad con los objetivos globales del banco de pruebas.

2) Diseño electrónico y digital de los subsistemas

Con los subsistemas y sus requerimientos definidos, esta fase se enfoca en el desarrollo del diseño electrónico y digital necesario para ejecutar el protocolo de pruebas. En esta etapa también se seleccionaron los componentes que cumplen con las especificaciones técnicas y criterios de disponibilidad, considerando vida útil mínima de cinco años y restricciones presupuestales. Cuando un componente presentó limitaciones, se analizaron alternativas equivalentes o el desarrollo de soluciones propias.

a) Subsistema de conversión y generación de señales

Para este subsistema, se diseñó una arquitectura basada en un microcontrolador ESP32 para producir pulsos controlados y señales simuladas, integradas posteriormente con la lógica digital de la tarjeta DAPHNE. Este diseño derivó en un artículo académico aceptado, validando tanto la pertinencia como la robustez del método empleado.

b) Subsistema de medición y verificación de frecuencia

En este caso, se implementó un módulo de medición digital en FPGA utilizando lógica HDL optimizada y un reloj de referencia de 200 MHz. La técnica seleccionada permite obtener mediciones estables con un error sistemático reducido y una ventana de integración ajustable. El diseño fue validado inicialmente para 62.5 MHz, demostrando su escalabilidad hacia otras frecuencias operativas del sistema.

c) Subsistema de medición de fuentes de operación

Finalmente, se diseñó un circuito de acondicionamiento capaz de recibir tensiones fijas y variables, acompañado de una interfaz digital que permite registrar desde la FPGA los valores enviados y los valores realmente medidos. Este subsistema se encuentra en etapa final de desarrollo, pero ya ha permitido corroborar discrepancias iniciales entre tensiones programadas y tensiones observadas.

Todos los diseños fueron documentados mediante esquemas electrónicos, diagramas de bloques, simulaciones preliminares y pruebas modulares.

3) Validación y pruebas de funcionamiento

La validación del banco de pruebas se realizó en un entorno de laboratorio siguiendo un protocolo orientado a evaluar la estabilidad, repetibilidad y cumplimiento de los requerimientos definidos. Cada subsistema fue evaluado mediante las siguientes etapas:

a) Pruebas unitarias

Se verificó el desempeño individual de cada subsistema, incluyendo la estabilidad temporal del medidor de frecuencia, la exactitud del módulo de medición de voltaje y la reproducibilidad de las señales generadas.

b) Pruebas de integración

Se evaluó la interoperabilidad entre la FPGA, el generador de señales, las interfaces digitales y el software de registro, comprobando el flujo correcto de datos y la operación coordinada de los subsistemas.

c) Evaluación con equipos de referencia

Se realizaron pruebas comparativas utilizando instrumentos de medición tradicionales (osciloscopio Analog Discovery 2 y multímetro UNI-T) para validar los resultados del banco de pruebas. Esto permitió confirmar la correspondencia entre las mediciones obtenidas y los valores establecidos por equipos certificados.

d) Análisis estadístico

Incluye el cálculo de la ventana óptima de integración para la medición de frecuencia mediante métodos de consistencia estadística y estabilidad temporal, proporcionando bases cuantitativas para operar el sistema dentro de sus condiciones metrológicas.

4) Desarrollo del firmware y arquitectura del software

En paralelo con el diseño electrónico, se desarrolló la arquitectura del software y el firmware necesarios para gestionar el flujo de datos del banco de pruebas. Esta fase incluyó el firmware de control para la comunicación entre la FPGA, el generador de

señales y los sensores; así como el diseño de un sistema capaz de almacenar, visualizar y analizar los resultados obtenidos durante las pruebas. También se implementaron protocolos de comunicación estandarizados y mecanismos de tolerancia a fallos para garantizar la confiabilidad del sistema.

El software actúa como el eje integrador del banco de pruebas, permitiendo monitorear en tiempo real las mediciones de frecuencia y voltaje realizadas sobre la tarjeta DAPHNE. Finalmente, se generaron reportes de resultados, informes técnicos, manuales de usuario y artículos científicos que documentan la metodología, validación y aportes desarrollados en el proyecto.

En resumen, la metodología implementada garantiza un enfoque integral para el diseño y validación de los subsistemas del banco de pruebas. Inicia con la definición de los subsistemas y sus requerimientos, continúa con el diseño electrónico y digital necesario para su implementación, basado en criterios técnicos, disponibilidad y compatibilidad. Posteriormente, se ejecuta un proceso de validación que incluye pruebas unitarias e integradas, calibración y ajuste de los sistemas de medición, análisis estadístico, asegurando así que cada subsistema cumpla con los criterios establecidos. Finalmente, se desarrolla el firmware y la arquitectura de software encargados de gestionar la comunicación, el control y el registro de las mediciones realizadas durante las pruebas.

Como parte del proceso, se generó la documentación técnica asociada al desarrollo y operación del banco de pruebas, dando soporte a la trazabilidad y reproducibilidad del proyecto. La Fig. 9 presenta el flujo de trabajo definido para alcanzar los objetivos propuestos.

II. CAPÍTULO II

Definición de subsistemas y requerimientos del banco de pruebas

A. INTRODUCCIÓN

El desarrollo de un banco de pruebas para la validación de las tarjetas DAPHNE, empleadas en el experimento DUNE, requiere de una estructura modular que permita garantizar la evaluación independiente y controlada de cada una de sus funciones críticas. Las tarjetas DAPHNE integran componentes analógicos y digitales de alta precisión, relojes de referencia y circuitos de adquisición, por lo que su correcta evaluación depende de un banco de pruebas capaz de medir señales de distinta naturaleza, sincronizar eventos y asegurar condiciones de operación estables.

En este capítulo se presentan los subsistemas que componen el banco de pruebas, basados en los requerimientos mínimos de operación y los parámetros de desempeño necesarios para su correcta implementación. A partir del análisis de las funciones críticas de las tarjetas DAPHNE V3 y de las condiciones de operación dentro del sistema de adquisición de datos del experimento, se definen los subsistemas encargados de la conversión y generación de señales, la medición y verificación de frecuencias, y la medición de fuentes de operación. De manera complementaria, se establecen las especificaciones técnicas que deben cumplir los componentes electrónicos y digitales, asegurando compatibilidad, estabilidad y precisión en las pruebas.

La definición de estos subsistemas permite evaluar de manera confiable las tarjetas, optimizar recursos de laboratorio, garantizar la reproducibilidad de los resultados y proporcionar una base sólida para las etapas posteriores de diseño y validación. Este enfoque está alineado con las prácticas de experimentos de gran escala, como ATLAS y CMS en el CERN, donde los bancos de prueba electrónicos constituyen una herramienta esencial para validar módulos antes de su integración en el detector [20].

En consecuencia, este capítulo constituye la base conceptual y funcional sobre la cual se desarrollan las etapas de diseño, implementación y validación del banco de

pruebas DAPHNE, estableciendo un marco integral para garantizar mediciones precisas, reproducibles y representativas de la operación real del sistema.

B. METODOLOGÍA

La definición de los subsistemas que conforman el banco de pruebas de la tarjeta DAPHNE se llevó a cabo mediante un análisis técnico de las capacidades de la tarjeta, los requerimientos del experimento DUNE y las herramientas disponibles para su implementación. Como punto de partida, se realizó un estudio detallado de las funciones críticas de la tarjeta DAPHNE, identificando tres necesidades fundamentales para su correcta evaluación: (1) generar señales de prueba que reproduzcan el comportamiento esperado de los fotodetectores, (2) medir y verificar las frecuencias de operación provenientes de los relojes internos de la tarjeta, y (3) monitorear las fuentes de alimentación que garantizan su estabilidad operativa.

Este proceso no respondió a una estructura arbitraria, sino que se construyó a partir de tres insumos fundamentales. Primero, se analizó la arquitectura funcional de la tarjeta DAPHNE V3, descrita en la documentación del Photon Detection System (PDS) del experimento DUNE [19], prestando especial atención a la cadena de adquisición, digitalización y transmisión de datos. Segundo, se revisaron los datasheets de los componentes electrónicos principales, identificando sus requerimientos de alimentación, rangos de operación, tolerancias, frecuencias de funcionamiento y restricciones eléctricas. Tercero, se evaluaron las herramientas disponibles para la generación de señales, la medición de frecuencias y la adquisición de voltajes, considerando su compatibilidad con las características eléctricas y digitales de DAPHNE.

El análisis conjunto de estos elementos permitió delimitar técnicamente qué debía evaluar el banco de pruebas. En particular, se determinó que en primer lugar, la digitalización depende críticamente de la forma temporal del pulso analógico de entrada (tiempos de subida y bajada, ancho y amplitud); que las frecuencias de funcionamiento y la cadena de sincronización requieren un reloj maestro estable de 62.5 MHz, acompañado de otras referencias (125 MHz, 100 MHz, según el módulo); y que la estabilidad

de las fuentes de alimentación externas condiciona tanto el nivel de ruido de entrada como el correcto funcionamiento de los ADCs, DACs y FPGAs. A partir de estas observaciones se justificó la definición de tres subsistemas esenciales: el subsistema de generación y conversión de señales, el subsistema de medición y verificación de frecuencias, y el subsistema de monitoreo de fuentes de alimentación.

Para el subsistema de generación de señales, se desarrollaron modelos paramétricos de pulsos basados en funciones de doble exponencial, ajustados para reproducir las características temporales típicas de los eventos de fotodetección en LAr [32]. Estos modelos fueron validados experimentalmente mediante la generación de señales con el instrumento Analog Discovery y su posterior adquisición en alta velocidad.

La Fig. 10 muestra un ejemplo de señal generada y adquirida a 100 MHz. En ella se observa un tiempo de subida inferior a 20 ns, un pico pronunciado cercano a 0.9 V, un valle de aproximadamente 0.05 V y una recuperación exponencial típica de las señales asociadas a la dinámica de recombinación en LAr. Este resultado confirma que el modelo implementado es adecuado para estimular la cadena de digitalización de DAPHNE bajo condiciones controladas.

El subsistema de medición de frecuencia se concibió con base en un instrumento capaz de medir el reloj principal de 62.5 MHz, con posibilidad de extenderse a otras frecuencias utilizadas por la tarjeta. El diseño contempla la captura continua de pulsos digitales, el conteo de ciclos, el cálculo de desviaciones y la validación de estabilidad temporal. El desarrollo específico de la instrumentación y del método de medición se presenta de manera autocontenida en los capítulos 3 y 4.

Por su parte, el subsistema de monitoreo de voltajes se construyó alrededor del ADS1261, elegido sobre otras alternativas por razones técnicas basadas en las necesidades identificadas; este dispositivo ofrece una resolución efectiva de hasta 32 bits, indispensable para detectar variaciones pequeñas en las fuentes de alimentación que pueden manifestarse como ruido en la cadena de digitalización. Adicionalmente, su bajo nivel de ruido integrado, junto con la posibilidad de operar con diferentes configuraciones de filtrado digital, lo convierten en una opción adecuada para monitorear líneas sensibles

donde fluctuaciones pueden impactar directamente la estabilidad temporal de los pulsos adquiridos.

Otro factor determinante para su selección fue la presencia de un multiplexor interno de hasta diez canales diferenciales, lo que permitió reducir la complejidad del hardware externo requerido para la conmutación de señales y favoreció una arquitectura más compacta y eficiente del banco de pruebas. Sus rangos de ganancia programables facilitaron la medición precisa de señales que abarcan desde niveles de milivoltios hasta 5 V, permitiendo adaptar el sistema a los distintos rieles de alimentación utilizados por DAPHNE. Asimismo, su compatibilidad eléctrica con la arquitectura del banco de pruebas (incluyendo operación a 3.3 V y comunicación mediante interfaz SPI) simplificó la integración con el firmware y con el sistema de adquisición y visualización de datos.

La implementación del ADS1261 se complementó con el desarrollo de una arquitectura de software dedicada a la adquisición continua de voltajes, el registro histórico de mediciones y la visualización gráfica en tiempo real a través de una interfaz desarrollada para tal fin.

Del análisis anterior se derivó el flujo de trabajo que guió la definición de los subsistemas y la identificación de los requerimientos mínimos necesarios para su implementación. Este proceso se sintetiza en la Fig. 11, donde se ilustran las etapas principales seguidas para dar cumplimiento al objetivo específico 1.

Este sistema permitió evaluar la estabilidad de cada línea de alimentación y detectar variaciones lentas o transitorias que pudieran comprometer el desempeño de la tarjeta durante su operación normal o bajo pruebas de estrés. Los detalles específicos del diseño electrónico del subsistema, así como la lógica digital implementada para su operación, se presentan en el Capítulo 3 junto con las rutinas de verificación y calibración utilizadas para garantizar su exactitud antes de integrarlo al flujo de pruebas general del banco de evaluación.

C. FUNDAMENTACIÓN TEÓRICA

La definición de los subsistemas del banco de pruebas requiere sustentarse en los principios teóricos que gobiernan la adquisición, procesamiento y validación de señales en sistemas electrónicos de alta velocidad como la tarjeta DAPHNE. Estos fundamentos permiten establecer los parámetros mínimos que debe cumplir cada subsistema y garantizan que las pruebas realizadas reproduzcan de forma fiel las condiciones reales de operación en el experimento DUNE.

1) Subsistema de conversión y generación de señales

El modelado discreto mediante ecuaciones en diferencias constituye un método robusto para reproducir pulsos con comportamiento exponencial, ya que su estructura recursiva permite capturar de manera precisa la dinámica temporal asociada a los detectores empleados en sistemas de fotones. Esta formulación, equivalente a un sistema IIR de primer orden en el dominio Z, ofrece además la flexibilidad necesaria para ajustar de forma controlada parámetros como la constante de decaimiento y la amplitud, lo que facilita la representación de distintas condiciones de señal coherentes con los fenómenos físicos de interés, en este caso, de neutrinos [32].

Así mismo, las señales generadas por fotodetectores basados en SiPM pueden aproximarse mediante funciones bi-exponenciales, ampliamente utilizadas en el modelado de respuestas de centelleadores y dispositivos sensibles a partículas de alta energía [49, 50]. Estas funciones capturan adecuadamente la dinámica de subida rápida y decaimiento lento característica de los destellos luminosos producidos durante procesos de interacción en materiales centelleadores [51]. De esta manera, se establece una correspondencia clara entre la fenomenología física de los pulsos y su representación matemática discreta, lo que refuerza la pertinencia del uso de modelos digitales para su síntesis en el banco de pruebas.

Desde la perspectiva electrónica, los principios de cuantización y de conversión digital–analógica establecen las limitaciones y capacidades del proceso de reconstrucción de las señales en el dominio continuo. La resolución del DAC, su linealidad y su ruido

asociado determinan la precisión con la que pueden representarse las variaciones de amplitud, mientras que la fidelidad temporal depende directamente de la frecuencia de actualización del convertidor. Este parámetro corresponde a la velocidad a la que el DAC puede entregar nuevos valores analógicos a partir de las muestras digitales, y fija la capacidad del sistema para reproducir transiciones rápidas en la forma de onda.

Para garantizar que la señal reconstruida mantenga sus características temporales sin introducir distorsiones, la frecuencia de actualización debe ser al menos el doble de la frecuencia máxima presente en el espectro del pulso, $f_{\max}$, la cual refleja la rapidez de sus transiciones. De acuerdo con el criterio de Nyquist, esta condición se expresa como [52, 53]:

$$f_s \geq 2f_{\max} \tag{1}$$

El cumplimiento de esta relación asegura que la señal reconstruida no sufra *aliasing* y preserve adecuadamente sus características temporales, particularmente en pulsos con pendientes de subida o decaimiento pronunciadas.

Finalmente, la necesidad de reproducir variabilidad temporal y estadística en las señales (coherente con la naturaleza aleatoria de los fenómenos de detección de partículas) se sustenta en modelos probabilísticos empleados para describir la llegada de eventos discretos. La incorporación de estos elementos dentro del marco teórico del subsistema permite articular un enfoque integral que combina modelado matemático, representación física y consideraciones electrónicas, justificando de manera sólida la estructura adoptada para la generación de señales en el banco de pruebas de la tarjeta DAPHNE.

2) Subsistema de medición y verificación de frecuencias

El subsistema de medición y verificación de frecuencias se fundamenta en los principios de temporización y sincronización digital, los cuales garantizan la correcta caracterización de los relojes internos de la tarjeta DAPHNE. Uno de los parámetros más relevantes en la evaluación de señales periódicas es el *jitter*, definido como la variación temporal entre el instante ideal y el instante real en el que ocurre un borde de

la señal. Matemáticamente, puede expresarse como:

$$J = t_{\text{real}} - t_{\text{ideal}} \tag{2}$$

El *jitter* introduce incertidumbre en la posición temporal de los flancos de la señal y puede degradar significativamente el desempeño de los sistemas de digitalización. En particular, un incremento en el *jitter* reduce la relación señal-ruido efectiva (SNR) del sistema, afectando con mayor severidad a señales de entrada de alta frecuencia, cuyo contenido espectral es más sensible a fluctuaciones temporales.

La caracterización precisa de frecuencias críticas, como el reloj de 62.5 MHz de la tarjeta DAPHNE, exige una fuente de referencia con *jitter* mínimo y alta estabilidad a largo plazo. Estos requisitos aseguran que las mediciones obtenidas reflejen fielmente el comportamiento temporal del sistema y que el subsistema pueda escalarse a la verificación de otras frecuencias empleadas en la arquitectura de DAPHNE sin introducir errores significativos.

Cabe resaltar que el método de medición basado en el conteo de ciclos y la captura temporal continua resulta especialmente adecuado para este tipo de aplicación, ya que permite una estimación directa de la frecuencia con alta resolución y baja complejidad de implementación. A diferencia de técnicas basadas en análisis espectral, como la transformada de Fourier, o métodos de medición indirecta mediante periodos individuales, este enfoque ofrece un mejor balance entre precisión, estabilidad temporal y capacidad de integración en sistemas embebidos como el FPGA utilizado en el banco de pruebas.

3) Subsistema de medición de fuentes de operación

El subsistema de medición de fuentes de operación se sustenta en los principios de adquisición de señales de baja amplitud y en los fundamentos de conversión analógico–digital de precisión. Su propósito es garantizar que los voltajes que alimentan la tarjeta DAPHNE se encuentren dentro de los rangos establecidos por sus especificaciones eléctricas, ya que desviaciones incluso pequeñas pueden afectar la ganancia, el ruido y la estabilidad temporal de los circuitos analógicos y digitales asociados.

En un convertidor analógico–digital (ADC), la resolución nominal determina el mínimo incremento de voltaje que puede representarse digitalmente y se expresa como:

$$\Delta V = \frac{V_{\text{ref}}}{2^N} \tag{3}$$

donde V_{ref} es el voltaje de referencia del ADC y N el número de bits del convertidor. Esta relación establece el límite teórico más básico para la detección de variaciones en las fuentes de operación. En mediciones de voltajes de alimentación (particularmente cuando se requiere evaluar estabilidad o identificar pequeñas fluctuaciones) resulta fundamental utilizar conversores cuya resolución permita discernir cambios del orden de milivoltios o inferiores, dependiendo de la sensibilidad del sistema bajo prueba.

Por último, la verificación continua de las fuentes de operación permite asegurar que todos los voltajes internos permanezcan dentro de los límites definidos por la documentación técnica de la tarjeta. Este seguimiento es esencial para mantener condiciones de operación estables en subsistemas sensibles como los amplificadores analógicos, los conversores de señal, los módulos digitales sincronizados por reloj y las secciones de adquisición. Integrado a una arquitectura de software de registro y visualización, este subsistema contribuye a identificar desviaciones, evaluar estabilidad a largo plazo y garantizar que la tarjeta opere dentro de los márgenes eléctricos requeridos por el banco de pruebas.

D. RESULTADOS

El análisis de la documentación técnica de la tarjeta DAPHNE y su integración dentro del sistema de adquisición del experimento DUNE permitió identificar los parámetros fundamentales que deben supervisarse, generarse o verificarse mediante el banco de pruebas. En particular, se determinaron las frecuencias de operación críticas asociadas a los módulos digitales de la tarjeta y las líneas de alimentación necesarias para garantizar el funcionamiento estable de sus bloques analógicos, digitales y de conversión. Estos valores constituyen los requisitos operativos que orientan el diseño de los tres subsistemas definidos en este capítulo.

1) Frecuencias de funcionamiento de la tarjeta DAPHNE

El análisis detallado del esquema de temporización de la tarjeta DAPHNE V3 permitió identificar cuatro señales de reloj que estructuran los diferentes dominios digitales de la FPGA y los módulos asociados al sistema de adquisición. Cada uno de estos relojes cumple funciones técnicas específicas y está vinculado a bloques de hardware concretos; su correcta verificación es esencial debido a que condicionan la reconstrucción temporal de los pulsos, la estabilidad del enlace de datos y la operación del firmware. A continuación, se describen de manera más profunda, los componentes, módulos y funciones críticas asociados a cada reloj, así como las implicaciones técnicas que justifican su presencia.

La Tabla II resume los relojes y los componentes críticos conectados, mientras que la Fig. 12 ilustra las frecuencias de funcionamiento de la tarjeta DAPHNE V3, destacando la coexistencia de relojes estándar (100 MHz), especializados (120.327 MHz) y de comunicaciones (125 MHz), lo que refleja la necesidad de un sistema de temporización altamente integrado y estable.

TABLA II
DOMINIOS DE RELOJ DE LA TARJETA DAPHNE V3 Y BLOQUES CRÍTICOS ASOCIADOS.

Frecuencia	**Dominio**	**Bloques/Componentes críticos**
62.5 MHz	Extra System Clock	Interfaces de frontend analógico Control de pipeline digital
100 MHz	PL System Clock	Bloques lógicos del PL: Controladores de interfaz digital Módulos auxiliares
120.327 MHz	GTH Reference Clock	Transceivers GTH (x2 por canal) Comunicación serial de 10 Gb/s
125 MHz	GTR Ethernet Reference Clock	Transceivers del PS para interfaces Gigabit Ethernet (x2 ETH)

a) 62.5 MHz – Extra System Clock

Es la referencia principal para la lógica de adquisición de datos proveniente del frontend analógico. Se deriva del sistema global del PDS para mantener sincronización con otros subsistemas. Este reloj permite implementar un pipeline digital con un

período de 16 ns, suficiente para los algoritmos de reconstrucción temporal. La señal es distribuida a múltiples bloques de control y manejo de datos, asegurando que todas las operaciones dentro del dominio extra system estén sincronizadas.

b) 100 MHz – PL System Clock

Este reloj gobierna los bloques internos de la lógica programable de la FPGA. Maneja control de interfaces digitales, comunicación con módulos auxiliares y coordinación general del sistema PL. Es independiente de los demás relojes, y su estabilidad condiciona la integridad temporal de las operaciones internas de la FPGA.

c) 120.327 MHz – GTH Reference Clock (PL)

Se utiliza como referencia para los transceivers GTH de alta velocidad (10 Gb/s). La tarjeta cuenta con dos pares diferenciales por canal que suministran esta señal directamente al transceiver, evitando interferencias del PL. Este reloj exige alta estabilidad y baja fluctuación de fase, ya que cualquier desviación comprometería la integridad de la transmisión serial de datos y del enlace DAQ.

d) 125 MHz – GTR Ethernet Reference Clock (PS)

Generado por un oscilador dedicado, este reloj alimenta los transceivers del Processing System (PS) para las interfaces Ethernet Gigabit. Cada señal llega directamente al transceiver Ethernet, pasando por sintonización diferencial, garantizando la integridad de la señal y la sincronización necesaria para enlaces de red de 1 Gb/s. La tarjeta maneja dos interfaces ETH sincronizadas por este reloj (Ver Fig. 13).

La presencia conjunta de estos cuatro relojes confirma que la tarjeta DAPHNE opera en un entorno de temporización multinivel, donde distintas funciones requieren diferentes grados de granularidad temporal y sincronización fina. En particular, la coexistencia de relojes estándar (100 MHz), especializados (120.327 MHz) y de comunicaciones (125 MHz) muestra la necesidad de un sistema de temporización altamente integrado y estable.

En cuanto a la sincronización, los relojes internos del Programmable Logic (PL),

es decir, 100 MHz, 62.5 MHz y 120.327 MHz, se generan a partir de un oscilador principal de 25 MHz mediante PLLs/MMCM internos del FPGA. Esto asegura que estos relojes mantengan una relación de fase conocida y estable, aunque operen en dominios separados. Por su parte, el reloj de 125 MHz, utilizado para los transceivers Ethernet del Processing System (PS), es independiente y proviene de un oscilador dedicado, garantizando la integridad de las comunicaciones de 1 Gb/s.

Los valores de frecuencia no son arbitrarios, sino que responden a los requerimientos de los componentes que reciben estas señales. El reloj de 100 MHz es la frecuencia base común para la lógica interna de la FPGA, usada para control de módulos, interfaces digitales y coordinación de bloques auxiliares. El de 62.5 MHz se deriva fácilmente del reloj base para bloques que requieren menor velocidad o temporización específica. El reloj de 120.327 MHz corresponde a la referencia de los transceivers GTH de alta velocidad, necesaria para generar internamente la tasa de línea de 10.3125 Gb/s con baja fluctuación de fase y cumplir con los estándares de transmisión de 10 GbE. Finalmente, el reloj de 125 MHz es obligatorio para las interfaces Ethernet Gigabit (1 GbE), cumpliendo con los requerimientos de la capa física y del controlador Ethernet del PS.

En conjunto, la existencia de estos relojes muestra que la tarjeta DAPHNE combina dominios de reloj derivados e independientes, cuidadosamente seleccionados para satisfacer las características de los chips y los estándares de comunicación, asegurando un sistema de temporización preciso, confiable y altamente integrado.

Lo anterior permite definir los requisitos del subsistema de medición de frecuencia, el cual debe ser capaz de cubrir rangos entre 62.5 MHz y 125 MHz, garantizando baja incertidumbre temporal y alta estabilidad. Además, debe contar con la capacidad de detectar desviaciones sutiles, discontinuidades o fallos en los osciladores, incluyendo soporte para frecuencias no enteras utilizadas como referencias especializadas de alta velocidad.

2) Fuentes de operación de la tarjeta DAPHNE

En la tarjeta DAPHNE se identifican dos tipos de voltajes: voltajes fijos de operación y voltajes configurables mediante DACs.

a) Voltajes fijos de operación

Estos provienen de la etapa de alimentación principal (48 VDC) y se distribuyen mediante módulos aislados DC-DC hacia los dominios analógico (AGND) y digital (DGND) como se observan en la Fig. 14. Se utilizan para alimentar los bloques electrónicos que requieren estabilidad y aislamiento de ruido. Para generar y estabilizar estos voltajes se emplean distintos tipos de reguladores, cada uno con características específicas:

- *SM (Switching Mode):* eficiente, entrega grandes corrientes con menor disipación, pero con algo de ruido en la salida. Se usa para la alimentación principal de bloques que requieren potencia elevada.
- *LDO (Low Dropout Regulator):* salida limpia y estable, ideal para circuitos sensibles. Menor eficiencia que un SM, pero bajo ruido.
- *ULDO (Ultra Low Dropout Regulator):* LDO con mínima caída y muy baja disipación, utilizado en secciones críticas analógicas para asegurar máxima estabilidad.

Entre estos voltajes se incluyen:

Dominio Analógico

- +5 V analógicos (ULDO, 1 A, 0.5 W)
- +3.3 V analógicos (ULDO, 80 mA, 0.2 W)
- +3.3 V analógicos @ 2 A (SM + LDO)
- +1.8 V analógicos @ 1 A (SM + LDO, 0.3 W)
- HVBIAS (LT3571), línea de alto voltaje utilizada para polarizar los SiPM
- -5 V analógicos @ 0,25 A (LM27761)

Dominio Digital

- +5 V digital @ 2 A (SM)
- +3.3 V digital_PL @ 4 A (SM)

- +1.8 V digital_PL @ 2 A (SM)
- +3.3 V digital_PS @ 0.3 A (LDO, 0.7 W)
- +1.8 V digital_PS @ 0.1 A (LDO, 0.2 W)

Cuando se indica +5 V @ 1 A, significa que el regulador entrega 5 V con una corriente máxima de 1 A.

Estos voltajes son estables y fijos, utilizados para alimentar los bloques principales de la tarjeta y garantizar aislamiento y baja interferencia entre dominios.

b) Voltajes configurables mediante DACs

Además de los voltajes fijos, la tarjeta DAPHNE cuenta con DACs de 14 bits que permiten generar voltajes variables para ajustes finos en los AFE. Estos voltajes son utilizados para configurar offsets, polarización y la media de voltaje de los canales analógicos, asegurando que cada AFE opere en sus condiciones óptimas.

El rango de salida de estos DACs es típicamente 0–4.095 V, con un paso mínimo de aproximadamente 1 mV por bit. Algunos canales incorporan divisores de voltaje de 1:2, lo que permite alcanzar un máximo de 2.048 V, con pasos de 0.5 mV por bit.

Los DACs se clasifican según su función dentro de la tarjeta:

- **TrimDAC.** Como se muestra en la Fig. 15, este voltaje se emplea para ajustar con precisión la amplitud final de la referencia nominal. El TrimDAC inyecta una pequeña corriente o voltaje que modifica la realimentación del amplificador en el AFE, permitiendo centrar la señal analógica dentro del rango óptimo de operación. Su rango completo (0–4.096 V) permite compensar variaciones entre canales y asegurar una respuesta uniforme del sistema.
- **VBias.** El voltaje *VBias* (Fig. 16) se utiliza para polarizar los fotodetectores SiPM conectados a la tarjeta DAPHNE. El voltaje de control del DAC opera en el rango de 0V–4,095V y se aplica como referencia analógica al generador de alto voltaje (HVBIAS), basado en el convertidor LT3571, el cual eleva dicho nivel hacia el rango requerido por los SiPM. Este circuito traduce la tensión del DAC a un valor de

polarización que puede alcanzar decenas de voltios, permitiendo ajustar con precisión la sobre-polarización de cada sensor.
La estabilidad y precisión de VBias son esenciales, ya que pequeñas variaciones en el nivel de polarización pueden modificar significativamente la ganancia de los SiPM, alterar su eficiencia de detección y afectar tanto la amplitud como la forma de los pulsos. Además, un control adecuado del VBias permite compensar cambios térmicos, reducir la dispersión entre canales y mantener un comportamiento uniforme del sistema de adquisición.

- **OFFSET.** El voltaje *OFFSET* (Fig. 17) corresponde al nivel de referencia DC aplicado a la etapa de entrada diferencial del AFE. Este voltaje establece la línea base del circuito de carga del SiPM y define el punto de operación alrededor del cual se acoplan los pulsos procedentes del detector. Dado que los eventos producen una caída transitoria del nivel DC, el OFFSET asegura que los pulsos negativos permanezcan dentro del rango dinámico permitido por el AFE y el ADC.
  Un ajuste adecuado del OFFSET es crítico para evitar saturación, maximizar el margen dinámico útil y garantizar que la forma de onda se digitalice con fidelidad. Además, una selección óptima del nivel de OFFSET permite compensar variaciones térmicas, dispersión entre canales y cambios en la corriente oscura del SiPM.

La definición de estas líneas de alimentación y sus valores nominales pone de manifiesto la necesidad de un subsistema de monitoreo de fuentes de operación, encargado de verificar que la tarjeta reciba condiciones de energía estables y reproducibles antes de cualquier proceso de digitalización o lectura. Este subsistema debe garantizar que las tensiones suministradas, resumidas en la Tabla III, se mantengan dentro de los rangos recomendados para evitar la saturación de las etapas analógicas, el incremento del ruido de fondo, fallos en los procedimientos de calibración interna y efectos térmicos asociados al sobreconsumo. Además, un control adecuado de estas fuentes contribuye a prolongar la vida útil de los componentes sensibles y a preservar la integridad de las mediciones obtenidas.

A continuación se muestra la Tabla III

3) Herramientas para el banco de pruebas

El proceso de definición de los subsistemas del banco de pruebas requirió identificar las herramientas e instrumentos capaces de satisfacer los requisitos funcionales establecidos a partir del análisis de la tarjeta DAPHNE. Para ello, se evaluaron tanto equipos de laboratorio como plataformas de generación y adquisición de señales, considerando su rango operativo, resolución, estabilidad y compatibilidad con los parámetros eléctricos y temporales definidos previamente. Los instrumentos seleccionados cumplen funciones específicas dentro del flujo general de verificación, permitiendo medir, generar o monitorear las señales necesarias para validar el correcto funcionamiento de la tarjeta.

En primer lugar, se empleó un multímetro digital *UNI-T*, utilizado para la verificación inicial de las líneas de alimentación, la continuidad de las rutas críticas y la medición de puntos de prueba de baja frecuencia en los montajes diseñados. Su uso resultó fundamental para validar de manera segura los voltajes de operación y descartar fallas básicas en las etapas previas a la conexión de equipos más sensibles.

Para la generación, captura y análisis de señales analógicas y digitales, se utilizó el *Analog Discovery 2* junto con la plataforma *WaveForms*. Esta herramienta permitió medir formas de onda, generar señales de referencia y caracterizar la respuesta temporal de los subsistemas. Su flexibilidad y precisión lo convirtieron en uno de los instrumentos centrales del banco de pruebas, especialmente durante la validación de la integridad de las señales, la medición de jitter y el análisis de estabilidad de los osciladores.

Adicionalmente, se emplearon componentes discretos tales como resistencias, capacitores y arreglos pasivos que facilitaron la construcción de redes de prueba, filtros de acondicionamiento y cargas controladas para simular condiciones de operación realistas. Estos elementos fueron integrados en protoboards específicamente para implementar interconexiones seguras y replicables entre los instrumentos y los módulos bajo prueba.

El banco también incorporó microcontroladores *ESP32*, aprovechados para la generación de señales digitales, la implementación de protocolos de comunicación auxiliares y el control automatizado de rutinas de prueba. Su conectividad y capacidad de procesamiento permitieron integrar etapas de verificación dinámica y registro de datos

complementarios.

Finalmente, se utilizaron plataformas FPGA como las tarjetas *Arty Z7* y *Pynq-Z1*. Estas tarjetas proporcionaron la capacidad de ejecutar lógica programable para la reconstrucción digital de las señales, la generación de flujos temporizados de alta velocidad y la simulación de interfaces reales del sistema de adquisición del experimento DUNE. Gracias a ellas fue posible reproducir condiciones de operación similares a las que la tarjeta DAPHNE enfrentaría en su entorno final, así como verificar la interoperabilidad entre los distintos subsistemas electrónicos.

En conjunto, estas herramientas permitieron establecer un entorno de pruebas robusto, flexible y coherente con los requerimientos eléctricos y temporales de la tarjeta DAPHNE, garantizando que cada subsistema pudiera evaluarse bajo condiciones controladas y reproducibles.

Además de los instrumentos mencionados, se consideraron las capacidades de equipos de alta precisión como el nanovoltímetro y el nanoamperímetro, utilizados principalmente para la caracterización eléctrica de dispositivos en condiciones criogénicas. Estos instrumentos, al funcionar simultáneamente como fuente y medidor, permiten aplicar corrientes o voltajes extremadamente pequeños mientras se registra la respuesta del dispositivo con resolución subnanométrica. Aunque su uso no es parte directa del banco de pruebas de la tarjeta DAPHNE, su inclusión dentro del inventario de herramientas disponibles proporciona una referencia importante para la caracterización de elementos sensibles del sistema.

Los resultados de este análisis técnico proporcionan finalmente los valores fundamentales que estructuran la arquitectura del banco de pruebas. Tanto las frecuencias como las líneas de alimentación identificadas, junto con las capacidades de las herramientas e instrumentos seleccionados, se convierten en parámetros de referencia para definir las especificaciones funcionales, eléctricas y temporales de cada subsistema descrito en este capítulo. Esto asegura que el banco de pruebas esté alineado con los requerimientos reales de operación de la tarjeta DAPHNE y que los procedimientos diseñados cuenten con el soporte instrumental necesario para su correcta implementación

y verificación.

E. DISCUSIÓN

Con los análisis realizados en este capítulo, se da cumplimiento al objetivo específico: *"Definir los subsistemas que se diseñarán para el banco de pruebas de la tarjeta DAPHNE en el experimento DUNE, así como los requerimientos específicos para cada uno de estos subsistemas"*.

Los resultados obtenidos a partir del análisis detallado del datasheet de la tarjeta DAPHNE permiten comprender de manera profunda las exigencias temporales, eléctricas y operacionales que deben ser consideradas en el diseño del banco de pruebas. Más que simples valores nominales, las frecuencias de operación, las líneas de alimentación y los instrumentos requeridos evidencian la complejidad del entorno de funcionamiento de DAPHNE y justifican la necesidad de un sistema de validación estructurado, modular y de alta precisión.

En primer lugar, la identificación de cuatro referencias de reloj (62.5 MHz, 100 MHz, 120.327 MHz y 125 MHz) demuestra que la tarjeta opera con un esquema de temporización multinivel, donde cada reloj cumple una función específica dentro de la FPGA. La coexistencia de relojes estándar (100 MHz), relojes especializados (62.5 MHz) y referencias de comunicación de alta velocidad (120.327 MHz y 125 MHz) confirma que el sistema requiere una gestión coordinada de granularidad temporal y sincronización fina. La estabilidad de estos relojes no solo afecta la operación digital, sino que influye directamente en la integridad de datos, la reconstrucción temporal de señales y la coherencia global del sistema.

Este conjunto de características temporales genera requisitos explícitos para el banco de pruebas: la necesidad de medir referencias de frecuencia entre 62.5 MHz y 125 MHz con baja incertidumbre temporal, de detectar variaciones sutiles como *jitter* o discontinuidades, y de soportar análisis sobre frecuencias utilizadas como referencias en comunicaciones de alta velocidad. De esta manera, los relojes no se convierten únicamente en un parámetro a verificar, sino en un indicador crítico de estabilidad sistémica.

Por otra parte, la evaluación de las líneas de alimentación externas revela la importancia del entorno eléctrico en la operación de la tarjeta. Las tensiones de +3.3 V, +2.5 V y ±5 V no son solo magnitudes aisladas; cada una se asocia a subsistemas específicos como la lógica digital, bancos de referencia internos y el AFE. El rango particular de operación de las fuentes de ±5 V, por ejemplo, está estrechamente relacionado con la ganancia, el ruido y la linealidad del acondicionamiento analógico previo a la digitalización. Si estas tensiones se desvían de sus valores nominales, pueden introducir desde errores sistemáticos hasta inestabilidades críticas que afecten la calibración interna y la precisión de medición.

Finalmente, la discusión sobre los instrumentos requeridos evidencia un equilibrio entre precisión, funcionalidad y disponibilidad. La selección del multímetro digital *UNI-T* como herramienta inicial de verificación permite asegurar condiciones eléctricas básicas con incertidumbre reducida. El *Analog Discovery 2*, junto con la plataforma *WaveForms*, aporta capacidades duales de generación y medición de señales que permiten crear pulsos que emulan respuestas de neutrinos, medir formas de onda, verificar la continuidad y estabilidad de osciladores, y realizar análisis preliminares antes de emplear módulos más especializados. Los microcontroladores como el ESP32, así como arreglos de resistencias, capacitores y PCBs auxiliares, permiten implementar prototipos funcionales de los subsistemas definidos y automatizar procesos de prueba.

Un punto relevante dentro de este conjunto de herramientas es la inclusión de instrumentos de ultra-alta sensibilidad, como el nanovoltímetro y el nanoamperímetro. Estas herramientas, utilizadas para la caracterización eléctrica de dispositivos en condiciones criogénicas, ofrecen la capacidad única de operar simultáneamente como fuente y medidor, lo que resulta fundamental para medir corrientes y voltajes extremadamente pequeños sin introducir perturbaciones en el sistema bajo prueba. Su integración es especialmente pertinente en el contexto de DAPHNE, dado que parte de su electrónica está destinada a operar en entornos de muy bajo nivel de ruido, donde la verificación de referencias, filtrado y estabilidad requiere instrumentos con resolución sub-microvolt y sub-nanoampere. De este modo, estos equipos permiten extender la validez del banco

de pruebas más allá del régimen de operación estándar, evaluando la tarjeta en escenarios equivalentes a los que enfrentará en el experimento DUNE, donde la sensibilidad a pequeñas variaciones eléctricas es esencial para la detección de señales débiles.

En síntesis, la discusión de estos resultados muestra que la arquitectura del banco de pruebas se fundamenta directamente en las exigencias operativas de la tarjeta DAPHNE. Las frecuencias críticas, las líneas de alimentación y el conjunto de instrumentos disponibles, desde herramientas de verificación básica hasta equipos de ultra-alta sensibilidad utilizados en mediciones criogénicas, sustentan la necesidad de un banco de pruebas robusto, capaz de detectar fallas, validar condiciones operativas y garantizar la confiabilidad de la tarjeta antes de su integración al sistema de adquisición del experimento DUNE.

F. CONCLUSIONES

El análisis técnico desarrollado en este capítulo permitió establecer, de manera rigurosa y fundamentada, los requerimientos operativos esenciales para validar el funcionamiento adecuado de la tarjeta DAPHNE en el contexto del experimento DUNE. A partir de la revisión detallada de su documentación de diseño, se identificaron tanto las referencias de frecuencia como las líneas de alimentación externas que constituyen parámetros críticos para garantizar una operación estable. Estos valores no solo determinan las condiciones de entrada necesarias para ejecutar correctamente los procesos de muestreo, conversión y transmisión de datos, sino que también establecen los criterios de verificación que deberá cumplir el banco de pruebas.

El enfoque modular adoptado permite evaluar de manera independiente, sistemática y reproducible cada una de las funciones críticas de DAPHNE, optimizando los recursos de laboratorio y proporcionando información confiable para las etapas posteriores de diseño y validación. Los resultados obtenidos confirman que estos subsistemas ofrecen una base sólida para analizar el desempeño de la tarjeta antes de su integración al experimento.

En conjunto, este capítulo define con claridad las bases conceptuales, técnicas

y operativas para la construcción del banco de pruebas. Los requerimientos identificados guían directamente el diseño de los subsistemas que, en los capítulos siguientes, permitirán validar la tarjeta DAPHNE de forma rigurosa, reproducible y confiable, asegurando que su desempeño cumpla con las necesidades del experimento DUNE.

III. CAPÍTULO III

Diseño electrónico de los subsistemas del banco de pruebas

Como producto de este capítulo se han derivado varios resultados de investigación materializados en publicaciones científicas. En particular, se obtuvo el artículo titulado *"Generation of Simulated Neutrino Signals for the Digitization Subsystem in the DAPHNE Test Bench of the DUNE Experiment"*, publicado en los proceedings del Latin American Test Symposium (LATS 2025), con DOI: https://doi.org/10.1109/LATS65346.2025.10963936, cuyos autores son: Valentina Rodríguez, Jerónimo López, Juan Fajardo, Valentina Restrepo y Fabián Andrés Castaño.

Adicionalmente, como extensión del trabajo técnico presentado en este capítulo, se encuentran en proceso de evaluación el siguiente manuscrito: *"Metrological Analysis of Stability and Optimal Integration Time for High-Precision Frequency Measurement in the DAPHNE Test Bench"*, presentado a los proceedings del Congreso Nacional de Física 2025.

Las primeras páginas de estos artículos se incluyen en los anexos del documento, como evidencia del impacto académico y científico generado por los resultados obtenidos en este capítulo.

A. INTRODUCCIÓN

El presente capítulo desarrolla el diseño electrónico de los subsistemas que conforman el banco de pruebas para la tarjeta DAPHNE. Su contenido da cumplimiento al Objetivo Específico 2, orientado a la construcción tanto del hardware de acondicionamiento como de la lógica digital necesaria para asegurar que el banco sea capaz de generar y medir correctamente las variables definidas en el protocolo de pruebas. El diseño expuesto se fundamenta en los requerimientos mínimos establecidos previamente y en las características particulares de cada subsistema, garantizando una integración segura y plenamente funcional con la electrónica de DAPHNE.

El cumplimiento de este objetivo implica el desarrollo de circuitos de acondicio-

namiento, módulos de adquisición y generación de señales, así como la implementación de lógica digital en la FPGA Arty, utilizada como plataforma central de control. A partir de estos elementos se habilita la supervisión de tensiones de operación, la medición de las frecuencias relevantes del sistema de adquisición de DAPHNE y la inyección de señales analógicas representativas para evaluar el desempeño del experimento.

Cada sección presenta el razonamiento técnico que sustenta las decisiones de diseño, describe la implementación detallada de cada subsistema y expone los resultados preliminares que evidencian su funcionamiento. En conjunto, estos desarrollos demuestran que el banco de pruebas cuenta con una arquitectura electrónica robusta que permite avanzar hacia las etapas de validación y operación.

B. Metodología

La metodología aplicada para el desarrollo de los subsistemas del banco de pruebas se estructuró a partir de los resultados del capítulo anterior, en el cual se definieron tanto los subsistemas como los requerimientos funcionales del banco. El proceso se organizó en tres etapas principales: análisis documental, diseño electrónico e implementación y prototipado. Cada fase se ejecutó atendiendo a los requisitos mínimos de operación de la tarjeta DAPHNE y a su integración dentro del sistema de adquisición del experimento DUNE.

En primer lugar, se llevó a cabo un análisis detallado de la documentación técnica de la tarjeta DAPHNE, de los diagramas funcionales del sistema de adquisición y de las hojas de datos de los componentes involucrados. Este estudio permitió identificar los parámetros críticos que deben supervisarse para evaluar el funcionamiento mínimo de la tarjeta, así como las condiciones eléctricas y temporales que el banco de pruebas debía reproducir o medir. A partir de esta revisión se desarrollo la siguiente metodología para los tres subsistemas definidos: conversión y generación de señales, medición y verificación de frecuencia, y medición de fuentes de operación.

1) Subsistema de conversión y generación de señales

Este subsistema integra la generación digital de señales mediante lógica programable en la FPGA, su transmisión mediante un protocolo serial y su conversión al dominio analógico a través de un convertidor digital–analógico (DAC) externo. La metodología combinó modelado matemático, diseño digital en HDL, transmisión serial y conversión digital–analógica, siguiendo los requerimientos de entrada analógica especificados para la tarjeta DAPHNE.

En primera instancia se definió la arquitectura de generación digital de señales en la FPGA, considerando dos enfoques complementarios:

- *Generación basada en datos predefinidos (RAW).* Se emplearon formas de onda obtenidas mediante simulaciones Monte Carlo en LArSoft y posteriormente procesadas en MATLAB, con el fin de reproducir la firma temporal característica del pulso generado por un SiPM. Este método permitió validar la correcta transmisión de secuencias discretas almacenadas en memoria interna de la FPGA, optimizando el uso de recursos lógicos y asegurando la repetibilidad de las pruebas [54].
- *Generación analítica mediante ecuaciones en diferencias.* Se partió de un modelo continuo del pulso del SiPM, el cual fue discretizado mediante la transformada Z para obtener un conjunto de ecuaciones en diferencias que permiten sintetizar en tiempo real una forma de onda parametrizable. Esta aproximación ofreció flexibilidad para modificar amplitud, constantes temporales y forma del pulso directamente desde el hardware.

Ambos métodos fueron implementados en VHDL y controlados mediante máquinas de estados encargadas de gestionar la habilitación del pulso, la secuenciación de las muestras y su sincronización con el sistema de transmisión.

A continuación se diseñó un módulo de serialización basado en el protocolo UART, que permitió enviar cada muestra digital hacia un microcontrolador externo. La máquina de estados del transmisor gestionó la carga de datos, la inserción de bits de arranque y parada, y la temporización asociada al *baud rate* seleccionado, garantizando la integridad en la transferencia de datos.

La conversión digital–analógica se efectuó con el DAC integrado en un ESP32, que recibió las muestras transmitidas por UART y reconstruyó la señal analógica en el rango de 0–3.3 V. Estas señales fueron verificadas mediante osciloscopio y analizador lógico, evaluando su fidelidad temporal y de amplitud con respecto a las formas de onda digitales generadas en la FPGA.

El flujo metodológico completo del subsistema se resume en la Fig. 18, donde se observa la transición desde la síntesis digital en FPGA hasta la reconstrucción analógica final.

2) Subsistema de medición y verificación de frecuencias

El subsistema de medición y verificación de frecuencias se desarrolló con el propósito de evaluar la estabilidad, exactitud y robustez de las señales de reloj utilizadas en las tarjetas DAPHNE, previamente definidas en el capítulo anterior. La metodología aplicada combinó una primera fase exploratoria, orientada a validar la arquitectura general del subsistema, seguida de una etapa cuantitativa enfocada en obtener mediciones reproducibles y métricas de estabilidad temporal.

El proceso metodológico completo del subsistema se resume en la Fig. 19, donde se observa la transición desde una validación funcional hacia una implementación cuantitativa.

A continuación, se describe la metodología consolidada dividida en dos métodos complementarios dentro del mismo proceso de desarrollo.

- ***Método 1. Validación exploratoria del subsistema***
  Esta etapa tuvo como finalidad verificar la capacidad del banco de pruebas para generar, escalar y medir señales de reloj en los rangos operativos requeridos por las tarjetas *DAPHNE*. Para ello, se emplearon tres plataformas principales: la **ARTY Z7** para la generación de señales mediante el *Clocking Wizard*, la **PYNQ-Z1** para la medición mediante diseños configurables en HDL, y el **Analog Discovery 2** para la observación analógica y digital de las señales generadas.
  Se evaluaron dos configuraciones experimentales. La primera correspondió a un diseño integrado en la PYNQ-Z1, en el que se generaron y midieron señales de reloj

simuladas. El módulo *Clocking Wizard* permitió explorar frecuencias elevadas mediante técnicas de escalamiento basadas en MMCM/PLL. Las señales escaladas se procesaron mediante un bloque decimador y un contador de flancos sincronizado con un reloj de referencia de 100 MHz, permitiendo reconstruir la frecuencia a partir de registros accesibles desde Jupyter.

La segunda configuración empleó un diseño distribuido: la ARTY Z7 se encargó de la generación del reloj, mientras que la PYNQ-Z1 realizó la medición mediante decimación y conteo. El enlace entre tarjetas se implementó mediante GPIO con bloques IBUF/OBUF, permitiendo estudiar la integridad de señal y la sensibilidad a desincronizaciones entre relojes.

Este método permitió validar la arquitectura general del subsistema y comprobar el funcionamiento básico de los bloques digitales involucrados.

- ***Método 2. Medición cuantitativa mediante ventanas temporales***

  Con el fin de superar las limitaciones del método exploratorio, se implementó un procedimiento cuantitativo basado en el conteo digital de ciclos dentro de ventanas temporales fijas. Esta estrategia permitió obtener mediciones independientes del escalamiento de frecuencia y con la resolución necesaria para evaluar la estabilidad temporal de las señales de interés.

  La señal de referencia se generó mediante un *Clocking Wizard* configurado en modo MMCM para obtener 200 MHz, garantizando alineación de fase y bajo *jitter*. El diseño de medición se implementó en la **ARTY Z7** y utilizó transmisión diferencial a través de puertos HDMI (TMDS) para reducir el ruido.

  El procedimiento incluyó: (i) la definición de una ventana temporal basada en un reloj de referencia, optimizada mediante simulaciones en Python; (ii) el conteo del número de ciclos del reloj bajo prueba dentro de cada ventana; y (iii) la comunicación mediante AXI-GPIO con una interfaz en Jupyter para configuración y adquisición automatizada de datos.

  Este enfoque permitió obtener un conjunto de mediciones adecuado para caracterizar estabilidad, variaciones ciclo a ciclo y comportamiento estadístico de la señal de reloj.

3) Subsistema de medición de fuentes de operación

La metodología aplicada para el subsistema de medición de fuentes de operación se desarrolló de forma progresiva, comenzando con la identificación de los voltajes fijos y variables que debían supervisarse, según lo definido en el capítulo anterior. Continuando con la evaluación, selección e integración de los conversores analógico–digitales adecuados para el perfil de medición requerido.

En esta metodología se emplearon dos ADC complementarios, cada uno en una fase distinta del desarrollo: un dispositivo inicial para verificación funcional y un ADC de precisión para la arquitectura final del banco de pruebas.

- **ADS7138 — Etapa de verificación funcional.** En la primera fase se seleccionó el ADS7138, un ADC de 12 bits y ocho canales con comunicación I^2C, como plataforma inicial para validar el concepto de medición y la arquitectura básica del subsistema. Se ensambló el dispositivo sobre un adaptador QFN-16 y se construyó un circuito de prueba siguiendo las especificaciones del fabricante en cuanto a desacoplos, alimentación y protección.
  La metodología contempló la verificación previa de los divisores resistivos asociados a las entradas analógicas, así como la configuración de la interfaz I^2C mediante un ESP32. Esta etapa permitió evaluar la operación general del esquema de muestreo, identificar las limitaciones derivadas de la impedancia de entrada del ADC. Estos hallazgos sirvieron para definir los criterios de diseño de la fase de alta precisión.
- **ADS1261 — Etapa de medición de alta precisión.** En la segunda fase se implementó una arquitectura de medición avanzada basada en el ADS1261, un ADC de hasta 32 bits con entradas diferenciales, filtros digitales configurables y comunicación SPI. Este dispositivo se seleccionó para garantizar mediciones de alta resolución y baja susceptibilidad al ruido, acordes con los requisitos del protocolo de pruebas de las tarjetas DAPHNE.
  La metodología consistió en ensamblar el dispositivo sobre un adaptador QFN-32, integrar la protección para entradas diferenciales y aplicar un esquema de alimentación regulada de bajo ruido. Para su operación dentro del banco de pruebas se desarrolló una arquitectura digital sobre FPGA, utilizando un núcleo AXI Quad SPI y una interfaz AXI-Lite para permitir su control desde software. El flujo consideró la ini-

cialización del ADC en VHDL, la gestión y sincronización de conversiones y el envío de datos hacia una capa de control en Python, donde se automatizó la adquisición y procesamiento de mediciones.

El proceso metodológico completo se resume en la Fig. 20, donde se ilustra la transición desde las pruebas iniciales de verificación funcional hasta la integración del ADC de alta precisión dentro del banco de pruebas.

C. FUNDAMENTACIÓN TEÓRICA

La operación del banco de pruebas diseñado para la evaluación de las tarjetas DAPHNE requiere un entendimiento sólido de los principios teóricos que gobiernan la generación digital de señales, la estabilidad temporal de los relojes del sistema y la medición precisa de las fuentes de operación. Estos fundamentos permiten justificar los métodos de diseño implementados en cada subsistema y asegurar que los resultados obtenidos sean consistentes con las especificaciones exigidas por el experimento DUNE.

En primer lugar, la generación y conversión digital–analógica de señales se fundamenta en la representación discreta del pulso característico producido por los fotomultiplicadores SiPM. Para modelar su dinámica se emplean ecuaciones en diferencias, junto con la Transformada Z como herramienta analítica en el dominio complejo.

La Transformada Z se define como

$$X(z) = \sum_{n=-\infty}^{\infty} x[n]\, z^{-n}, \tag{4}$$

y permite convertir una secuencia discreta en una expresión algebraica que facilita el análisis de estabilidad, la parametrización de generadores digitales y la validación del comportamiento dinámico deseado.

Bajo este marco, la evolución temporal del pulso puede modelarse mediante ecuaciones en diferencias de primer orden, por ejemplo:

$$y[n] = x[n] + \sigma\, y[n-1], \tag{5}$$

cuyo estudio en el dominio z permite sintetizar eficientemente las formas de onda y compararlas con los pulsos simulados en LArSoft [54]. Este fundamento respalda la doble estrategia implementada en la FPGA: el envío de datos RAW precomputados y la síntesis directa del pulso mediante ecuaciones en diferencias como (5) [55].

Es importante señalar que la implementación de estos modelos discretos en hardware digital introduce limitaciones asociadas a la representación numérica finita. En particular, la cuantización de coeficientes y variables internas, así como el uso de aritmética de punto fijo en la FPGA, pueden generar errores de truncamiento, saturación u overflow que afectan levemente la fidelidad de la señal sintetizada. No obstante, dado que el objetivo del banco de pruebas es reproducir de manera representativa las características temporales del pulso y no su reconstrucción exacta a nivel analógico continuo, estos efectos no comprometen la validez funcional del sistema desarrollado.

De manera complementaria, la validación de los relojes internos de la tarjeta DAPHNE se soporta en los principios de estabilidad temporal, jitter y conteo de ciclos. Las frecuencias críticas del sistema (62.5 MHz, 100 MHz, 120.327 MHz y 125 MHz) actúan como referencia para la adquisición y sincronización, por lo que pequeñas fluctuaciones temporales pueden introducir errores de amplitud, desalineaciones entre canales y pérdidas en la eficiencia de reconstrucción de eventos. El jitter, entendido como la variación temporal respecto al instante ideal, se expresa como

$$J = t_{\text{real}} - t_{\text{ideal}}, \tag{6}$$

y constituye un parámetro crítico para asegurar la integridad temporal del sistema. Para cuantificar variaciones de frecuencia, se empleó un método de conteo de ciclos en ventanas temporales definido por el periodo del reloj de referencia, cuya resolución mínima está dada por

$$\Delta t = \frac{1}{f_{\text{ref}}}, \tag{7}$$

en concordancia con los límites impuestos por el muestreo según Nyquist–Shannon [53]. A través del promediado estadístico de ciclos y técnicas como *bootstrap* y la estimación de incertidumbre basada en la distribución t de Student, se obtiene una

caracterización robusta del comportamiento temporal del sistema [56].

Finalmente, el subsistema de medición de fuentes de operación se fundamenta en los principios de conversión analógico–digital y en las restricciones asociadas al diseño del hardware. La resolución del ADC establece el incremento mínimo de voltaje detectable, determinado por

$$\Delta V = \frac{V_{\text{ref}}}{2^N}, \tag{8}$$

lo cual condiciona directamente la precisión alcanzable en la supervisión de cada línea de operación. En dispositivos como el ADS7138, donde la referencia coincide con su alimentación de 3.3 V, la amplitud máxima de entrada queda limitada por esta tensión. Excederla produce sobreexcitación del ADC, dando lugar a recorte (*clipping*), errores de conversión e incluso posibles daños en la etapa frontal de entrada. Esta fundamentación teórica justifica la definición de los rangos de medición y el diseño de los divisores resistivos del sistema.

Asimismo, la comunicación SPI utilizada para configurar y leer el ADC impone restricciones asociadas a tiempos de establecimiento, sincronización por flancos y estabilidad del reloj maestro. Al ser un protocolo síncrono, la precisión de lectura depende del alineamiento entre el reloj SCLK y el muestreo en MISO/MOSI. Además, variaciones en las líneas de alimentación pueden afectar la integridad del bus y la exactitud de los datos. Comprender estos efectos justifica verificar no solo las tensiones suministradas, sino también las condiciones en las que se realiza la comunicación digital.

En conjunto, los principios teóricos expuestos proporcionan un soporte coherente para la metodología desarrollada en cada subsistema del banco de pruebas. Estos fundamentos permiten interpretar los resultados experimentales, validar las decisiones de diseño y garantizar que el sistema opere con la precisión y estabilidad requeridas para el análisis de las tarjetas DAPHNE.

D. RESULTADOS

Los resultados obtenidos en esta fase corresponden a la verificación funcional del diseño electrónico de los tres subsistemas desarrollados: (i) el subsistema de generación y conversión de señales, (ii) el subsistema de medición y verificación de frecuencias, y (iii) el subsistema de medición de fuentes de operación. En conjunto, estos resultados validan que el hardware de acondicionamiento y la lógica digital implementada cumplen con los requerimientos definidos para el banco de pruebas de la tarjeta DAPHNE.

1) Subsistema de generación y conversión de señales

El sistema embebido fue implementado en *Vivado 2022.2*, integrando módulos generadores para las señales *EXPONENTIAL DECAY*, *RAW NEUTRINO DATA* y *NEUTRINO DATA EQ. DIF.*, seleccionadas mediante un multiplexor 4-a-1 controlado por *AXI GPIO*. El diagrama general se muestra en la Fig. 21.

Se verificó la correcta generación de las tres señales definidas. La señal exponencial decreciente se obtuvo mediante la implementación de la ecuación en diferencias de la Eq. 10, cuya forma medida se presenta en la Fig. 22.

$$f(x) = e^{-0{,}99x} \tag{9}$$

$$y[n] = x[n] + 0{,}99\, y[n-1] \tag{10}$$

Asimismo, se integraron y transmitieron los 630 puntos de la señal proveniente de *LArSoft*, ajustada mediante el modelo continuo de la Eq. 11, mostrado en la Fig. 23. Los parámetros ajustados se presentan en la Tabla IV.

$$y(t) = \left(C_2 e^{-a_2(t-d)} \cos(a_2(t-d)) - C_1 e^{-a_1(t-d)}\right) u(t-d) \tag{11}$$

El modelo fue discretizado, obteniéndose la ecuación en diferencias de la Eq. 12, cuyos coeficientes se listan en la Tabla V. Este modelo fue implementado en hardware combinando multiplicadores, registros y sumadores, permitiendo transmitir la señal sintetizada vía UART.

$$\frac{Y(z)}{X(z)} = \frac{K_1 + K_2 z^{-1} + K_3 z^{-2} + K_4 z^{-3} + K_5 z^{-4}}{C_1 + C_2 z^{-1} + C_3 z^{-2} + C_4 z^{-3} + C_5 z^{-4}} \tag{12}$$

Toda la información relacionada con esta sección de los resultados, puede ser replicable con el código abierto disponible en el repositorio (https://github.com/GICM-UdeA/Pulse_Sim_Eqdif_Prj) [57].

2) Subsistema de medición y verificación de frecuencias

Siguiendo la metodología ilustrada en la Fig. 19, correspondiente al diagrama de flujo de medición y validación de frecuencia, se realizó una validación inicial del módulo *Clocking Wizard* con el fin de generar y manipular señales equivalentes a las utilizadas por la tarjeta DAPHNE (62.5 MHz, 100 MHz, 120.327 MHz y 125 MHz). Debido a que los instrumentos de laboratorio no permiten medir directamente señales en el orden de cientos de 100 MHz, se implementó una estrategia de reescalamiento basada en dos etapas principales:

a) Amplificación de frecuencia

Se utilizó una señal cuadrada generada por el Analog Discovery 2 como entrada al *Clocking Wizard*. El módulo permitió multiplicar esta señal por un factor de 10. Por ejemplo, una señal de entrada de 20 MHz fue amplificada hasta 200 MHz, demostrando la capacidad del sistema para generar frecuencias equivalentes a los dominios de reloj de DAPHNE.

$$f_{\text{in}} = 20 \text{ MHz} * 10 = 200 \text{ MHz}$$

b) Decimación por un factor de 100 000

Para hacer medible la señal generada, se aplicó un proceso de decimación. Continuando con el ejemplo anterior:

$$f_{\text{salida}} = \frac{200 \text{ MHz}}{100\,000} = 2 \text{ kHz}$$

Esta frecuencia reescalada permite su visualización con instrumentos simples

como el Analog Discovery 2 y su posterior conteo dentro del procesador Zynq del PYNQ-Z1.

El sistema implementado en el Zynq utiliza como reloj interno:

$$f_{\text{Zynq}} = 100 \text{ MHz}$$

Y un reloj de entrada proveniente del flujo DAPHNE simulado (tras la decimación):

$$T_{\text{DAPHNE}} = \frac{1}{2000} = 0.0005 \text{ s} = 0.5 \text{ ms}$$

Durante ese tiempo, el reloj interno genera:

$$N = 100\,000\,000 \times 0.0005 = 50\,000$$

Por lo tanto, cada flanco de subida de la señal decimada produce idealmente 50 000 conteos del reloj interno. Este valor permite verificar digitalmente si la frecuencia generada coincide con la esperada.

Por otra parte, para verificar de manera independiente la frecuencia decimada, se realizó una captura de la señal durante una ventana de tiempo de 0.1 s. En esta ventana, por cruces por ceros se detectaron los flancos de subida correspondientes a la señal medida, como se muestra en la Figura 24.

Continuando con la metodología, se aplicó el procedimiento de medición sobre una serie de ventanas temporales controladas con el fin de evaluar cómo su duración influye en la estabilidad, precisión y costo computacional del método de conteo basado en coincidencia de flancos. Este método constituye la base del sistema implementado en la FPGA, por lo que se presenta a continuación una descripción detallada de su funcionamiento.

El método de medición se fundamenta en la detección de coincidencias de flancos de subida entre dos señales digitales:

- clk_{ref}, un reloj de referencia interno de la FPGA de 200 MHz, altamente estable.
- clk_{test}, la señal bajo prueba cuya frecuencia se desea estimar (62.5 MHz, para este caso).

Cada vez que ambas señales presentan un flanco de subida dentro del mismo intervalo mínimo de tiempo, se registra una coincidencia. El periodo entre estas coincidencias está determinado por el mínimo común múltiplo (MCM) de los periodos de ambos relojes, lo que permite convertir el problema de medición de frecuencia en un problema de conteo de eventos repetitivos dentro de una ventana temporal fija. Por ejemplo, si:

$$T_{\text{ref}} = 5\,\text{ns}, \qquad T_{\text{test}} = 16\,\text{ns},$$

la primera coincidencia ocurre cuando ambos ciclos se alinean nuevamente, es decir:

$$\text{MCM}(5, 16) = 80 \text{ ns}.$$

Esto significa que las señales se realinean cada 80 ns independientemente del desfase inicial, como se observa en la Fig. 25

Este comportamiento periódico es clave: contar coincidencias dentro de una ventana fija permite estimar con precisión la frecuencia de la señal bajo prueba. Para una ventana de 100 μs, donde cada coincidencia ocurre cada 80 ns, se obtiene aproximadamente:

$$\frac{100\ \mu s}{80\ ns} \approx 1250 \text{ coincidencias}.$$

Los valores obtenidos son posteriormente procesados en Jupyter para reconstruir la frecuencia y evaluar su estabilidad. Este proceso permitió validar inicialmente el funcionamiento del método para 62.5 MHz antes de extenderlo a otras frecuencias superiores.

Con esta metodología ya establecida, se procedió a analizar cómo la duración de la ventana de integración afecta la calidad de la medición. Dado que ventanas más largas incrementan la carga de cómputo y el número de registros a transferir, se evaluaron 30 configuraciones distribuidas en tres rangos: ventanas cortas, intermedias y cercanas al límite superior permitido por el sistema de coincidencias. Para cada configuración se adquirieron cerca de 600 000 mediciones provenientes del contador interno del Zynq, procesadas posteriormente en el entorno de control Jupyter. Este volumen de datos

permitió realizar un análisis estadístico robusto de la estabilidad temporal, la exactitud promedio y la incertidumbre relativa del sistema.

Los resultados estadísticos de los rangos de ventana de tiempo utilizada para este proceso se ilustran en la Fig. 26, donde se muestran los puntos de captura y la forma en que el sistema integra los ciclos del reloj objetivo.

Toda la información relacionada con esta sección de los resultados, puede ser replicable con el código abierto disponible en el repositorio (https://github.com/GICM-UdeA/Frequency_Meter) [58].

3) Subsistema de medición de fuentes de operación

Siguiendo la metodología descrita en la Fig. 20, y tras analizar las características de los ADC seleccionados, se inició el desarrollo con el ADS7138. Esta elección se debió a que su interfaz de comunicación mediante I^2C resulta más práctica para una implementación inicial en FPGA. En particular, esta comunicación requiere únicamente dos líneas (SDA y SCL), tolera condiciones de *clock stretching*, opera de forma *open-drain* y posee un protocolo menos estricto en temporización que SPI, lo cual reduce la complejidad del diseño lógico durante las etapas tempranas de validación.

Para dar continuidad a esta etapa se realizó el ensamble del ADS7138 en el encapsulado QFN-16. La soldadura se efectuó empleando técnicas de trabajo con aire caliente y pasta de soldadura de baja temperatura, verificando posteriormente la continuidad eléctrica en cada uno de los pines del dispositivo mediante un multímetro en modo de prueba de diodos, garantizando así que no existieran puentes ni pines flotantes.

Posteriormente, como se observa en la Fig. 27, se implementó un montaje de prueba utilizando un ESP32 como maestro I^2C. En esta etapa se diseñó un conjunto de divisores resistivos (R1–R12) con el fin de adaptar los niveles de entrada provenientes de una fuente de 5 V hacia el rango seguro del ADS7138, garantizando que ninguna de las señales aplicadas excediera su tensión máxima de alimentación (3.3 V). Este mecanismo de protección pasiva resulta fundamental para evitar condiciones de *sobreexcitación* que pueden conducir a la saturación del ADC.

Asimismo, se incorporó un capacitor de desacoplo de 0.1 µF (C1) entre DECAP y GND, siguiendo las recomendaciones del fabricante para reducir el ruido de alta frecuencia y estabilizar la alimentación del convertidor. Para la comunicación I^2C se añadieron las resistencias de *pull-up* R13 y R14 en las líneas SDA y SCL, necesarias para para garantizar una operación adecuada del bus.

Con el propósito de simular los voltajes fijos de la tarjeta DAPHNE, se construyó un pequeño módulo de generación de voltaje empleando divisores resistivos de precisión. Tras configurar el ADS7138 y realizar las primeras lecturas, se buscó validar la función de transferencia del convertidor, dada por:

$$V_{\text{in}} = \frac{\text{Code}}{2^N - 1} V_{\text{ref}} \tag{13}$$

donde $N = 12$ bits; $V_{\text{ref}} = 3.3$ V y en el caso del ADS7138, que es un ADC de 12 bits, los códigos posibles son $0 \leq \text{Code} \leq 4095$. Sin embargo, los resultados obtenidos diferían notablemente de los valores esperados. La Tabla VI muestra un conjunto representativo de lecturas experimentales que evidencia esta discrepancia, incluso después de verificar las escalas, el direccionamiento y la temporización del protocolo I^2C.

Las lecturas saturadas y no lineales sugerían un problema más profundo que un simple error de conversión. Para descartar fallas en la implementación del bus I^2C, se conectó un segundo módulo externo con el mismo protocolo: el sensor GY-88 (BMP180). Este dispositivo respondió correctamente y entregó mediciones coherentes de presión y temperatura, lo cual permitió concluir que la causa del problema estaba asociada a fallas del propio ADS7138, ya fuera por soldadura defectuosa en el encapsulado QFN-16 o daño físico por sobreexcitación.

Tras estas limitaciones, se avanzó al desarrollo con el ADS1261, un convertidor de mayor resolución y robustez, orientado a mediciones de precisión. Este ADC cuenta con múltiples canales diferenciales, un PGA programable, filtros digitales internos y una interfaz SPI de alta velocidad. Debido a la mayor complejidad del dispositivo, se procedió con un ensamble más cuidadoso en encapsulado QFN-32, obteniendo el diseño mostrado en la Fig. 28.

Para la comunicación, se desarrolló un módulo en VHDL apoyado en el bloque

AXI Quad SPI, el cual permite gestionar las líneas MOSI, MISO, SCLK y CS de forma integrada y accesible mediante un periférico AXI-Lite. Esta estructura facilita la escritura y lectura de registros del ADC desde el procesador embebido o desde un entorno de pruebas externo.

E. DISCUSIÓN

El desarrollo electrónico del banco de pruebas permitió evaluar la correspondencia entre los requisitos establecidos y el desempeño real de los subsistemas implementados. Los resultados obtenidos demuestran que la arquitectura propuesta es funcional, que los módulos digitales y analógicos operan conforme a lo esperado dentro del flujo del banco de pruebas, y que su implementación abre oportunidades para futuras líneas de investigación, cumpliendo con el objetivo específico 2: *Desarrollar el diseño electrónico de los subsistemas del banco de pruebas para la tarjeta DAPHNE, incluyendo tanto el diseño del hardware de acondicionamiento como la lógica digital; asegurando el cumplimiento de los requerimientos definidos y la correcta medición de las variables establecidas en el protocolo de pruebas, adaptándose a las particularidades de cada subsistema.*

En el subsistema de generación de señales, la lógica implementada en la FPGA sintetizó correctamente las formas de onda necesarias para la excitación del ADC de la tarjeta DAPHNE. Si bien la resolución limitada a 8 bits introduce una pérdida menor de detalle en la forma de onda, esta no afecta la capacidad del banco para reproducir los perfiles temporales relevantes. Esto valida la selección del DAC, del filtro pasabajos y del buffer operacional, que en conjunto aseguraron señales estables, suavizadas y compatibles con los requerimientos de la electrónica de lectura.

En cuanto al subsistema de medición y validación de frecuencia, la Fig. 26 ilustra la relación entre el valor estimado y la duración de la ventana de integración. Para ventanas inferiores a 10 μs se observó una dispersión significativa alrededor de los 62.5 MHz debido al bajo número de ciclos promediados y a la susceptibilidad a fluctuaciones instantáneas. A medida que la ventana aumenta, la estimación converge rápidamente y se

mantiene estable entre 62.49 y 62.51 MHz, con un error relativo inferior al 0.02 %. Este comportamiento confirma que ventanas temporales intermedias permiten alcanzar una precisión adecuada sin incrementar excesivamente el costo computacional.

De manera complementaria, el panel derecho de la Fig. 26 muestra la disminución de la incertidumbre relativa conforme se incrementa el tamaño de la ventana. Para ventanas menores a 10 μs, la incertidumbre alcanza valores cercanos a 13 000 ppm, mientras que para ventanas superiores a 60 μs disminuye por debajo de 500 ppm. Esta tendencia refleja el efecto de filtrado inherente al proceso de integración, el cual atenúa el jitter y el ruido aleatorio. Se identifica un punto de saturación alrededor de 60 μs donde el compromiso entre estabilidad y eficiencia computacional se vuelve óptimo.

Con el fin de validar cuantitativamente esta metodología, se procesaron 30 archivos de datos adquiridos utilizando un reloj de referencia de 200 MHz. Cada archivo contenía 625 ventanas distribuidas entre 50 y 100 μs, a las cuales se les calculó el error relativo y la incertidumbre normalizada. Estos datos permitieron determinar el tamaño de ventana óptima para la medición de frecuencia. El desarrollo detallado de este análisis se presenta en el siguiente capítulo.

En el caso de la medición de voltaje, el montaje inicial evidenció inconsistencias entre los voltajes aplicados mediante divisores resistivos y los valores obtenidos por el ADC, lo que sugiere la presencia de errores sistemáticos. Dichas inconsistencias se atribuyeron a posibles fallas de soldadura o daños físicos por sobreexcitación en el módulo ADS7138, como se muestra en la Tabla VI.

Respecto al ADS1261, se desarrolló un módulo en VHDL empleando el bloque AXI Quad SPI para gestionar las líneas MOSI, MISO, SCLK y CS desde un periférico AXI-Lite. Esta estructura permitió configurar registros y enviar comandos desde la FPGA o desde un entorno de pruebas externo. El uso del Analog Discovery 2 como analizador lógico validó la temporización SPI, confirmando que el ADC recibía correctamente las órdenes enviadas. No obstante, aún no se ha logrado obtener una respuesta válida desde el ADC hacia la FPGA, por lo que esta etapa permanece pendiente para trabajos futuros.

A pesar de ello, ya se cuenta con la infraestructura fundamental: el periférico AXI-Lite configurado, el módulo SPI sintetizado y los scripts iniciales en Python para interactuar con el ADC desde un entorno de prueba. Esto permite continuar el desarrollo sin necesidad de modificar la arquitectura planteada.

Los resultados obtenidos reflejan, en general, una buena correspondencia entre los requisitos de precisión y estabilidad definidos inicialmente y el desempeño alcanzado por los subsistemas implementados.

F. CONCLUSIONES

El diseño electrónico de los subsistemas que conforman el banco de pruebas para la tarjeta DAPHNE se desarrolló cumpliendo los requerimientos definidos, integrando de manera coherente los circuitos de acondicionamiento, la lógica digital implementada en la FPGA y los módulos de generación de señales. En conjunto, estos elementos constituyen una arquitectura robusta y funcional, capaz de producir y medir de forma confiable las señales necesarias para la validación integral del hardware.

Los resultados preliminares muestran que el diseño propuesto ofrece estabilidad, reproducibilidad y compatibilidad eléctrica con la tarjeta DAPHNE, habilitando la transición hacia las etapas de validación descritas en el capítulo siguiente. De este modo, el trabajo presentado sienta las bases electrónicas fundamentales para garantizar que las pruebas realizadas sobre DAPHNE sean precisas, seguras y representativas de su comportamiento esperado dentro del experimento DUNE.

En el subsistema de medición de frecuencia, el análisis confirmó que la precisión y la incertidumbre están fuertemente determinadas por el tamaño de la ventana de integración. Se identificó un punto de compromiso alrededor de los 60 μs, donde la estimación se estabiliza con errores relativos inferiores al 0.02 % y una incertidumbre menor a 500 ppm, sin incrementar de forma significativa el costo computacional. Estos resultados validan la solidez del método de coincidencias implementado y su pertinencia para caracterizar dominios de reloj de alta velocidad.

En cuanto al subsistema de medición de voltaje, las pruebas iniciales revelaron

errores sistemáticos atribuibles a un posible daño interno del ADC ADS7138 por sobre-excitación o fallos de montaje. El uso de un segundo dispositivo I^2C permitió descartar problemas en la interfaz de comunicación y confirmar el origen físico del error. Por su parte, el trabajo desarrollado con el ADC ADS1261 permitió establecer la infraestructura fundamental para la comunicación SPI mediante un módulo HDL y un periférico AXI-Lite, dejando bases sólidas para su integración final en etapas posteriores.

En términos generales, los resultados obtenidos permiten comprender adecuadamente los compromisos entre resolución, precisión, incertidumbre y complejidad de implementación. Se concluye que el banco de pruebas desarrollado es funcional, escalable y compatible con los requerimientos operativos de la tarjeta DAPHNE.

IV. CAPÍTULO IV

Validación de los subsistemas del banco de pruebas

Como resultado del trabajo desarrollado en este capítulo, se han generado avances que han dado lugar a productos de investigación en proceso de publicación. En particular, se encuentran actualmente en evaluación los siguientes manuscritos: (1) *"Analysis and Validation of the Frequency Response of DAPHNE Boards Using a Test Bench in the DUNE Experiment"*, enviado a la revista *Journal of Instrumentation (JINST)*, y (2) *"Stability Evaluation and Optimal Integration Time Determination for Frequency Measurement in the DAPHNE Test Bench"*, enviado al Latin American Test Symposium (LATS 2026).

Las primeras páginas de estos manuscritos se incluyen en los anexos del documento, como evidencia del impacto académico y científico derivado de los resultados obtenidos en este capítulo.

A. INTRODUCCIÓN

El capítulo anterior presentó el diseño, funcionamiento y evaluación inicial de los subsistemas que conforman el banco de pruebas electrónico. No obstante, para determinar si este banco es verdaderamente capaz de garantizar el rendimiento esperado de las tarjetas DAPHNE en condiciones equivalentes a las del experimento DUNE, es necesario realizar un proceso de validación formal que cuantifique el desempeño de cada módulo bajo métricas reproducibles y comparables.

En este capítulo se presentan los procedimientos, análisis y resultados asociados a dicha validación. Se establecen métricas objetivas de precisión, estabilidad temporal, integridad digital y robustez frente a condiciones reales de operación. Adicionalmente, se comparan los valores obtenidos con los requerimientos mínimos definidos en la metodología del proyecto.

Este proceso de validación permitirá abordar de manera sistemática varios interrogantes fundamentales sobre el desempeño del banco de pruebas. En particular, se

evaluará si el sistema es capaz de reproducir con la fidelidad requerida las señales utilizadas para la excitación y análisis de la electrónica DAPHNE; si el método de medición de frecuencia mantiene la estabilidad y precisión necesarias al operar en distintos dominios temporales; y si las etapas de muestreo y adquisición presentan niveles de error compatibles con los márgenes aceptables definidos para la caracterización electrónica.

Asimismo, se analizará la capacidad del banco para identificar fallas, desviaciones o signos tempranos de degradación en una tarjeta DAPHNE antes de su instalación en un entorno experimental. Aunque algunos de estos aspectos requieren una etapa adicional de pruebas para consolidar completamente los resultados, el marco metodológico desarrollado y la infraestructura implementada permiten avanzar de manera consistente hacia una validación integral del sistema.

En conjunto, esta fase de validación contribuye a cerrar el ciclo de diseño y evaluación del banco de pruebas, fortaleciendo su utilidad como herramienta para la caracterización, diagnóstico y aseguramiento de calidad de los módulos electrónicos empleados en el experimento DUNE.

B. METODOLOGÍA

La metodología empleada para la validación de los subsistemas para el banco de pruebas, se estructuró en dos etapas principales: (i) generación y acondicionamiento de señales en la FPGA y (ii) evaluación estadística del sistema de medición de frecuencia basado en coincidencias temporales. La Fig. 29 presenta el diagrama de flujo general del proceso seguido.

En la primera etapa se implementaron en la FPGA los modelos discretos correspondientes a las señales de interés, incluyendo pulsos sintéticos y pulsos derivados de datos reales. Las ecuaciones en diferencias fueron integradas dentro de una arquitectura combinacional-secuencial, garantizando sincronización interna, control mediante *AXI GPIO* y capacidad para seleccionar distintas señales a través de un multiplexor digital.

Seguido de validar experimentalmente el funcionamiento del subsistema de ge-

neración y conversión. Para ello, las señales producidas en la FPGA se transmitieron hacia un microcontrolador externo encargado de su conversión digital–analógica, permitiendo comparar las formas de onda generadas con sus modelos teóricos. Además, se verificó la integridad del flujo de datos, la operación del multiplexor y la estabilidad del sistema bajo diferentes condiciones de operación.

La segunda etapa se centró en evaluar el desempeño del mecanismo de medición de frecuencias mediante ventanas temporales. Se procesaron múltiples conjuntos de datos independientes, cada uno compuesto por ventanas de integración dentro de un rango preestablecido. Para cada ventana se calcularon métricas de error, estabilidad e incertidumbre con el fin de analizar el comportamiento del sistema bajo fluctuaciones de fase y ruido.

Finalmente, los resultados de las mediciones fueron consolidados para determinar el tiempo óptimo de muestreo del sistema. Se aplicaron herramientas estadísticas como promedios, desviaciones estándar, intervalos de confianza y métodos de remuestreo para evaluar la consistencia del estimador. Asimismo, se identificaron y analizaron valores atípicos con el fin de determinar su impacto en la estabilidad global del método.

C. RESULTADOS

La validación experimental del subsistema de generación y conversión de señales permitió contrastar el comportamiento real del hardware con los modelos teóricos desarrollados previamente. En primera instancia, se verificó la correcta generación de las señales *EXPONENTIAL DECAY* y *NEUTRINO DATA*, demostrando que las ecuaciones en diferencias implementadas en la FPGA reproducen con fidelidad las formas de onda esperadas. Las mediciones obtenidas a través del DAC del ESP32 (Figs. 30 y 23) confirman la estabilidad del flujo combinacional–secuencial, la coherencia entre coeficientes y registros, y la correcta integración del módulo digital con los circuitos analógicos de salida. Asimismo, se validó el envío de los 630 puntos del pulso modelado mediante UART, lo que garantizó la integridad del flujo de datos desde la lógica programable hasta el microcontrolador receptor. Por otra parte, el multiplexor 4-a-1

controlado por *AXI GPIO* mostró un funcionamiento estable, permitiendo la conmutación precisa entre las señales generadas y validando la interacción entre la FPGA y el procesador.

En conjunto, estos resultados demuestran que el subsistema de generación y conversión de señales cumple con los objetivos de diseño establecidos y puede reproducir tanto señales sintéticas como pulsos modelados a partir de datos reales, con una fidelidad suficiente para garantizar su uso en el banco de pruebas de la tarjeta DAPHNE. La consistencia entre el comportamiento medido y los modelos teóricos desarrollados en el capítulo anterior constituye evidencia directa de que el hardware implementado es funcional, estable y adecuado para las siguientes fases de validación integral del banco de pruebas.

En paralelo con la validación funcional del hardware, se llevó a cabo un análisis estadístico exhaustivo para determinar el tiempo óptimo de muestreo del sistema basado en la metodología de coincidencias temporales entre señales de reloj. Para ello, se procesaron 30 archivos obtenidos mediante un reloj de referencia de 200 MHz, cada uno con 625 ventanas distribuidas entre 50 y 100 μs. A cada ventana se le calculó el error relativo y la incertidumbre normalizada, lo que permitió construir un puntaje de compromiso (*trade-off*) que cuantifica simultáneamente la precisión y la estabilidad de la medición. La minimización de este puntaje definió el valor óptimo de la ventana temporal T_{opt}, cuyo comportamiento representativo se ilustra en la Fig. 31.

Los 30 valores resultantes de T_{opt} se consolidaron en la distribución mostrada en la Fig. 32, obteniéndose:

$$n = 30, \qquad \bar{T}_{\text{opt}} = 96{,}299\ \mu s, \qquad s = 2{,}642\ \mu s.$$

Los resultados evidencian una clara concentración alrededor de los 96 μs, indicando alta consistencia entre mediciones independientes. Se verificó además que el tamaño muestral era suficiente para garantizar un error máximo de 1 μs en la estimación de la media, usando el valor crítico de la distribución t de Student:

$$t_{0{,}975,29} = 2{,}045, \qquad n_{\text{req}} \approx 30.$$

Para reforzar esta conclusión, se realizó un análisis bootstrap con 10 000 remuestreos, obteniéndose un intervalo de confianza del 95 %:

$$IC_{95\,\%}^{\text{bootstrap}} = [95{,}347,\ 97{,}187]\ \mu s,$$

lo que confirma la estabilidad del estimador y la robustez del procedimiento estadístico.

Finalmente, se identificaron valores atípicos mediante el criterio del rango intercuartílico (IQR). La inspección posterior permitió distinguir entre outliers ocasionados por ruido excesivo (que fueron descartados) y aquellos atribuibles a condiciones reales del sistema, los cuales se conservaron. La comparación entre los análisis con y sin dichos valores mostró que la media permaneció prácticamente invariable, mientras que la desviación estándar aumentó únicamente de forma marginal, sin afectar las conclusiones finales. Esto confirma que el sistema presenta una estabilidad temporal suficiente para el método de coincidencias y que el valor de T_{opt} puede considerarse representativo para las condiciones de operación del subsistema.

En conjunto, estos resultados demuestran que la metodología de medición basada en ventanas temporales cumplen con los requisitos establecidos para medir frecuencias de 62.5 MHz, y es escalable a otros valores de funcionamiento. La coherencia entre modelos, simulaciones y mediciones reales sienta las bases para la siguiente etapa del proyecto: la validación integral del banco de pruebas para la tarjeta DAPHNE.

D. DISCUSIÓN

Los resultados obtenidos permiten evaluar de manera integral el desempeño del subsistema de generación y conversión de señales, así como la solidez de la metodología estadística empleada para determinar el tiempo óptimo de muestreo. En conjunto, estos hallazgos cumplen con el objetivo específico 3: *"Realizar la validación de los subsistemas del banco de pruebas de la tarjeta DAPHNE y las pruebas de funcionamiento diseñadas en un ambiente controlado de laboratorio"*.

Adicionalmente, se identifican oportunidades para trabajos futuros, particularmente en la validación de la medición de las fuentes de operación empleando el multíme-

tro UNI-T y en la ejecución de pruebas de funcionamiento complementarias que permitan ampliar el alcance y la robustez del banco de pruebas.

En primera instancia, la caracterización experimental de las señales *EXPONENTIAL DECAY* y *NEUTRINO DATA* demuestra que la implementación en hardware de las ecuaciones en diferencias replica con precisión el comportamiento teórico descrito en el capítulo anterior. La concordancia entre las formas de onda generadas en la FPGA y las mediciones analógicas registradas desde el DAC del ESP32 confirma no solo la estabilidad del flujo combinacional–secuencial, sino también la correcta sincronización entre registros, coeficientes y etapas de procesamiento. Esta correspondencia evidencia la fidelidad del modelo discreto y la robustez del diseño HDL, aun cuando la resolución se encuentra limitada por la representación en 8 bits. A pesar de dicha restricción, las características esenciales de las señales se preservan, lo que valida la arquitectura para las etapas posteriores del banco de pruebas.

El funcionamiento del multiplexor 4-a-1 controlado mediante *AXI GPIO* refuerza esta conclusión al mostrar una conmutación precisa y libre de inconsistencias temporales. La interacción entre el procesador y la lógica reconfigurable se mostró estable y repetible, lo que demuestra que los mecanismos de control digital y la infraestructura de comunicación funcionan de manera coordinada. La transmisión correcta de los 630 puntos del pulso modelado por UART, sin pérdida de información ni degradación perceptible, confirma además la integridad del canal de datos y la adecuación de la interfaz entre la FPGA y el microcontrolador receptor. En conjunto, estos resultados establecen que el subsistema de generación y conversión cumple los requerimientos establecidos y ofrece una plataforma funcional para la recreación de señales sintéticas y pulsos derivados de datos reales, condición indispensable para la validación de las tarjetas DAPHNE.

Paralelamente, el análisis estadístico realizado sobre el sistema de medición basado en coincidencias temporales permite valorar su estabilidad, reproducibilidad y consistencia bajo condiciones reales de operación. La evaluación de 30 conjuntos de datos independientes, cada uno compuesto por 625 ventanas entre 50 y 100 μs, ofrece un

tamaño muestral suficiente para garantizar representatividad en la estimación del tiempo óptimo de integración. La fuerte concentración de los valores de T_{opt} alrededor de los 96 μs, acompañada de una desviación estándar relativamente baja (2.642 μs), indica un comportamiento altamente estable del método de medición, independientemente de las fluctuaciones inherentes al entorno de adquisición. La verificación mediante el intervalo de confianza calculado con la distribución t de Student y el análisis bootstrap de 10 000 remuestreos fortalecen esta conclusión, al demostrar que la estimación de la media es robusta frente al remuestreo estocástico y a la presencia de variabilidad interna en los datos.

El tratamiento de los valores atípicos mediante el criterio del IQR (Rango Intercuartílico) permitió discriminar entre puntos atípicos producidos por ruido excesivo y aquellos que reflejan condiciones reales del sistema. La invariancia de la media al excluir estos valores, junto con la variación de la desviación estándar, demuestra que el método ofrece estabilidad metrológica y que los valores extremos no afectan de forma significativa la caracterización del sistema. Esto sugiere que la metodología de ventanas temporales es capaz de mitigar fluctuaciones de fase y ruido de reloj, lo cual es fundamental para garantizar la trazabilidad de la medición de frecuencias en el banco de pruebas.

De manera conjunta, los resultados experimentales y estadísticos permiten afirmar que el diseño propuesto no solo reproduce adecuadamente las señales de interés, sino que también cuenta con una metodología de medición confiable para su evaluación. La coherencia entre simulaciones, modelos teóricos y mediciones reales corrobora la validez del enfoque adoptado y confirma que tanto el subsistema digital como la estrategia de medición cumplen con los requerimientos necesarios para su integración en el banco de pruebas de la tarjeta DAPHNE.

E. CONCLUSIONES

El análisis integral del subsistema de generación, conversión y medición de señales demuestra que la arquitectura propuesta cumple con los requisitos estableci-

dos para el banco de pruebas de la tarjeta DAPHNE. La implementación en hardware de los modelos discretos reproduce fielmente las señales teóricas y experimentales de interés, mientras que la comunicación entre los módulos digitales y analógicos se mantiene estable, coherente y libre de pérdidas de información.

Adicionalmente, la metodología de medición basada en coincidencias temporales mostró un comportamiento estadísticamente robusto, con una estimación de T_{opt} altamente estable y respaldada por análisis de intervalos de confianza, criterios de valores atípicos y validación mediante técnicas de remuestreo. Esto confirma la fiabilidad del enfoque propuesto para la caracterización temporal de señales de alta frecuencia.

En conjunto, los resultados obtenidos confirman que el sistema diseñado es adecuado para su uso como herramienta de validación en las siguientes etapas del proyecto, cumpliendo con los requerimientos funcionales y operativos asociados a las tarjetas DAPHNE. Esto proporciona una base sólida para evaluar su desempeño y verificar los requerimientos mínimos de operación en el contexto del experimento DUNE.

V. CAPÍTULO V

Arquitectura del software para el registro de información

A. INTRODUCCIÓN

El funcionamiento integral del banco de pruebas desarrollado para las tarjetas DAPHNE depende no solo del diseño electrónico de sus subsistemas, sino también de la implementación de una plataforma de control que permita gestionar, automatizar y documentar cada etapa del proceso de validación. En este capítulo se presenta el diseño del firmware, la arquitectura del software y la estructura de la interfaz gráfica de usuario (GUI) que conforman el sistema de registro, adquisición y visualización de información del banco de pruebas.

El objetivo principal de este componente es garantizar que las mediciones de voltaje y frecuencia requeridas por el protocolo de validación se realicen de manera segura, reproducible y trazable, facilitando al operario la interacción con la tarjeta DAPHNE y asegurando la integridad de los datos obtenidos. Para ello se diseñó una arquitectura modular que separa las funciones críticas entre la FPGA, el software de control y la capa de presentación gráfica, permitiendo mantener la sincronización con los dominios de reloj, manejar múltiples líneas de alimentación y ejecutar rutinas de adquisición en tiempo real.

Dado que el banco de pruebas será utilizado por miembros de la colaboración internacional del experimento DUNE, la interfaz gráfica se desarrolló completamente en inglés y se estructuró en menús intuitivos que acompañan al operario desde la identificación inicial, pasando por la medición de parámetros eléctricos, hasta la generación del reporte final en formato PDF. Cada menú se encuentra documentado en este capítulo mediante capturas de pantalla, siguiendo el flujo lógico de operación del sistema.

Asimismo, se describe la metodología empleada para el desarrollo del software, incluyendo los criterios de diseño, los módulos implementados y la secuencia funcional que conecta la GUI con los procesos internos de la FPGA. La integración de estos

elementos garantiza que el banco de pruebas no solo cumpla con los requisitos técnicos del experimento DUNE, sino que también proporcione una plataforma confiable, mantenible y escalable para futuras etapas del proyecto.

Finalmente, se presenta el diseño del reporte de evaluaciones del funcionamiento de la tarjeta DAPHNE en formato PDF generado por el software (ilustrado en la Fig. 33), el cual sintetiza el comportamiento de cada parámetro medido y permite realizar un análisis detallado del desempeño de las tarjetas DAPHNE. Su estructura completa se muestra en los anexos del documento.

B. METODOLOGÍA

El desarrollo del firmware y la arquitectura del software del banco de pruebas para las tarjetas DAPHNE se ejecutó siguiendo una metodología estructurada, orientada a mantener la trazabilidad entre los requisitos del experimento DUNE, las funcionalidades del sistema y la experiencia del usuario final. Esta metodología se organizó en dos etapas principales: (1) especificación de requerimientos y (2) diseño, implementación e integración del firmware y del software con el hardware del banco de pruebas.

1) Especificación de Requerimientos

La primera etapa consistió en recopilar y analizar los requisitos funcionales del sistema DAPHNE. Se identificaron los parámetros eléctricos y temporales que debían medirse, la necesidad de registrar información en tiempo real, la generación automática de reportes y la implementación de una interfaz accesible para operarios con distintos niveles de experiencia dentro de la colaboración DUNE. Asimismo, se definieron de forma explícita las características de cada medición requerida.

Adicionalmente, se establecieron los protocolos de comunicación necesarios para la interacción con la FPGA, junto con los criterios de validación que garantizan la confiabilidad metrológica del sistema. Esta etapa permitió delimitar con precisión el alcance del software y determinar las funciones críticas que debían ser implementadas en el firmware y en la aplicación de usuario.

2) Diseño de la Arquitectura del Firmware y del Software

A partir de los requerimientos definidos, se diseñó una arquitectura modular que organiza los componentes encargados de medir y controlar los subsistemas del banco de pruebas. El módulo central de control y secuenciación gestiona el orden de las mediciones, valida parámetros y coordina el intercambio de información entre el software, el firmware y los instrumentos externos. Paralelamente, el firmware embebido en la FPGA y en el microcontrolador se estructuró para operar con precisión en los distintos dominios de reloj, garantizar la adquisición determinística de señales de voltaje y frecuencia y ejecutar las tareas de sincronización requeridas.

También se desarrolló un módulo de registro y documentación capaz de almacenar resultados y generar automáticamente un informe PDF que resume el estado funcional de la tarjeta evaluada.

La fase de implementación siguió principios de programación modular y buenas prácticas para firmware y software embebido. La interfaz gráfica de usuario se organizó en paneles independientes que abarcan todo el flujo de validación: identificación del usuario, medición de voltajes y frecuencias, registro de observaciones y exportación del reporte. En paralelo, el firmware de la FPGA se implementó mediante procesos síncronos diseñados para manejar con robustez múltiples dominios de reloj y realizar adquisiciones estables en tiempo real.

Finalmente, la comunicación entre software y hardware se estableció mediante protocolos seguros, incorporando mecanismos de manejo de excepciones, verificación de integridad de datos y monitoreo continuo del estado operativo de la tarjeta DAPHNE durante la evaluación.

C. RESULTADOS

La interacción entre el software de control y el hardware del banco de pruebas se implementó siguiendo un modelo cliente–servidor. En este esquema, el cliente corresponde a la interfaz gráfica de usuario (GUI), desde la cual el operario selecciona el tipo de medición o parámetro a validar, tales como voltajes fijos, voltajes configu-

rables o frecuencia de reloj. Cada selección realizada en el cliente genera una solicitud estructurada que es enviada al servidor.

El servidor actúa como intermediario entre la GUI y el hardware. Al recibir una instrucción (por ejemplo, la medición de un voltaje de 3.3 V) el servidor traduce esta solicitud y la envía al canal correspondiente de lectura. El hardware lee el voltaje correspondiente por la salida asignada y de manera simultánea el servidor activa el canal de lectura para capturar la señal retornada por la tarjeta DAPHNE.

Durante un intervalo temporal definido, el servidor adquiere múltiples muestras del canal de entrada y construye un vector de valores que posteriormente es enviado de regreso al cliente. La GUI procesa estos datos, calcula el promedio, genera las gráficas correspondientes y presenta al usuario una interpretación visual y cuantitativa del estado de la tarjeta por ítem evaluado. Finalmente, toda la información registrada puede integrarse en el reporte automático de evaluación, el cual consolida los resultados obtenidos durante la validación, en formato PDF.

Este flujo que se evidencia en la Fig. 34 garantiza una comunicación robusta entre los niveles de software y firmware, manteniendo la sincronización entre la interfaz de usuario, la lógica de control y la electrónica del banco de pruebas.

El software desarrollado para el banco de pruebas de las tarjetas DAPHNE implementa una arquitectura modular basada en menús interactivos, diseñada para guiar al usuario a través del proceso completo de validación.

Los resultados de esta sección corresponden a la presentación estructurada de cada módulo funcional del software. Las imágenes adjuntas muestran las pantallas reales de la aplicación, por lo que no se requiere extender la descripción textual más allá del contexto funcional de cada menú.

1) Menú 1: Inicialización

Este primer módulo permite registrar la información del operario, necesaria para asegurar la trazabilidad de todo el proceso de validación. Una vez ingresados los datos, el sistema habilita el acceso al menú inicial de la aplicación.

La Fig. 35 ilustra este flujo. En la Fig. 35a se muestra la ventana para introducir el nombre del usuario, sus credenciales y su rol dentro del proceso de validación. Posteriormente, la Fig. 35b presenta la pantalla principal del sistema, donde se visualiza una barra de progreso que refleja el estado de las tres etapas de medición definidas para la tarjeta DAPHNE: voltajes fijos, voltajes variables y frecuencias de reloj. Adicionalmente, en la parte superior izquierda se encuentra un menú desplegable que permite navegar de forma rápida entre los distintos módulos del software.

2) Menú 2: Información adicional

En esta sección se presenta un módulo informativo que ofrece al usuario una visión general del contexto científico y técnico en el que se enmarca el banco de pruebas. La ventana ilustrada en la Fig. 36 contiene una descripción sintetizada del experimento DUNE, destacando su relevancia dentro de la física de partículas y el rol que desempeñan las tarjetas DAPHNE en la cadena de adquisición y procesamiento de señales.

Adicionalmente, este menú incluye información sobre el equipo desarrollador del sistema, conformado por los integrantes del Grupo de Instrumentación Científica y Medición (GICM) del Instituto de Física de la Universidad de Antioquia. Se reconoce aquí el trabajo colectivo que dio origen al diseño del banco de pruebas, destacando la contribución interdisciplinaria en aspectos de electrónica, instrumentación, firmware y software.

3) Menú 3: Medición de voltaje

Desde el menú principal mostrado en la Fig. 35b, al seleccionar la opción de medición de voltaje se despliega un submenú de medición de voltaje con dos modalidades: voltaje fijo y voltaje variable. Esta división responde a los requerimientos identificados en el Capítulo 2, donde se establece la necesidad de evaluar tanto líneas de alimentación de nivel constante como señales configurables generadas por los DACs del banco de pruebas. La interfaz correspondiente a cada modalidad se ilustra en las Fig. 37a y 37b respectivamente.

En estas opciones, y en todas las mediciones, el usuario recibe una notificación

para verificar su correcta lectura mediante una ventana emergente que confirma la finalización de la tarea, mecanismo estándar en todas las rutinas de medición. En el caso del voltaje variable, además de la lectura, el sistema permite enviar un valor específico y luego validarlo, asegurando coherencia entre lo programado y lo recibido por el módulo de medición.

a) Ventanas emergentes

En cada medición realizada por el software se adquiere un conjunto de muestras durante un período de tiempo definido, a partir del cual se calcula el valor promedio, la desviación estándar de los datos, el estado de la prueba (aprobado, advertencia o fallo) y las observaciones del operario. Estas observaciones pueden registrarse manualmente mediante la ventana ilustrada en la Fig. 38a, donde el usuario documenta cualquier comportamiento atípico o irregularidad detectada durante la medición.

Adicionalmente, como se muestra en la Fig. 38b, el sistema presenta una gráfica con el comportamiento temporal de las muestras adquiridas (en este ejemplo, se utilizan datos aleatorios con fines ilustrativos, pero todas las mediciones tienen esta opción) lo que permite complementar la evaluación numérica con una inspección visual de la señal medida. Esta combinación de indicadores estadísticos, notas del operario y visualización gráfica garantiza una valoración más completa y confiable de cada prueba realizada.

4) Menú 4: Medición de frecuencia

Desde el menú principal mostrado en la Fig. 35b, la selección de la opción *Medición de frecuencia* despliega una interfaz dedicada a la evaluación de los relojes principales de la tarjeta DAPHNE. Tal como se observa en la Fig. 39, el software presenta una tabla con las señales de referencia que deben verificarse (62.5 MHz, 100 MHz, 120.327 MHz y 125 MHz) permitiendo al operario seleccionar la frecuencia de interés y proceder con su adquisición y análisis.

Desde el menú inicial *Home*, el sistema permite generar un archivo PDF que consolida los resultados obtenidos durante el proceso de validación: mediciones de voltaje y frecuencia, criterios de evaluación y los datos generales del operario. Este documento

funciona como el registro formal de la verificación de la tarjeta.

La Fig. 40a muestra el estado de la barra de progreso mientras aún existen tareas pendientes. Posteriormente, la Fig. 40b ilustra la ventana para guardar el informe en formato PDF y, finalmente, la Fig. 40c presenta la notificación que confirma que el archivo ha sido almacenado correctamente.

D. DISCUSIÓN

La implementación conjunta del firmware, el software de control y la interfaz gráfica permitió validar adecuadamente la comunicación entre los distintos niveles del banco de pruebas, demostrando que la arquitectura cliente–servidor propuesta es funcional, estable y suficientemente flexible para cubrir los requerimientos establecidos para la evaluación de las tarjetas DAPHNE, dando cumplimiento al último objetivo específico: *"Diseñar el firmware y arquitectura del software para el registro de información del banco de pruebas para la tarjeta DAPHNE "*.

La separación entre los procesos de interacción del usuario (cliente) y la lógica de adquisición y control (servidor) facilitó una comunicación ordenada, redujo la complejidad del flujo de datos y permitió mantener una trazabilidad completa de cada comando ejecutado. Este diseño modular contribuyó además a que las mediciones de voltaje y frecuencia se realizaran de forma consistente, minimizando la interferencia entre procesos y asegurando que cada instrucción enviada desde la GUI fuera traducida correctamente hacia los canales físicos de lectura del banco de pruebas.

Los resultados obtenidos en los módulos funcionales del software evidencian que la interfaz desarrollada cumple su objetivo de guiar al operario a través de un proceso de validación estructurado, intuitivo y supervisado. El menú de inicialización garantiza la correcta identificación del usuario, aspecto crucial para la trazabilidad del sistema. Por su parte, los módulos dedicados a la medición de voltajes fijos, voltajes configurables y frecuencias de reloj demuestran una correspondencia directa con los requerimientos definidos en el diseño del banco de pruebas. El sistema no solo permite enviar y leer valores provenientes del hardware, sino que también presenta mecanismos de verifica-

ción mediante ventanas emergentes, cálculo automático de estadísticas y generación de gráficas, herramientas que fortalecen el análisis al combinar evidencia cuantitativa y visual.

La incorporación de gráficas de comportamiento temporal y de espacios para registrar observaciones manuales aporta un componente cualitativo adicional a las mediciones, permitiendo identificar anomalías que no serían evidentes únicamente mediante valores promedio o desviaciones estándar. Esto es especialmente relevante para la validación de señales variables y de los relojes de operación, donde la estabilidad temporal es un factor crítico para el desempeño de la tarjeta DAPHNE dentro del experimento DUNE.

Finalmente, la función de generación del informe en PDF representa un elemento clave para la consolidación de los resultados, ya que permite documentar de forma estandarizada el estado de la tarjeta evaluada, incluyendo tanto las mediciones cuantitativas como los criterios de aceptación definidos. Esta herramienta no solo mejora la trazabilidad del proceso, sino que también facilita la comunicación de resultados entre los equipos de electrónica, software e instrumentación que participan en el desarrollo y validación del sistema.

En conjunto, los resultados muestran que el banco de pruebas no solo cumple con los requisitos técnicos planteados, sino que también ofrece una plataforma robusta, trazable y orientada al uso operativo, capaz de integrarse en flujos reales de validación de las tarjetas DAPHNE. A futuro, se recomienda ampliar estos módulos para incluir la caracterización de otras líneas de operación, optimizar la gestión de errores en comunicaciones y extender las pruebas a escenarios con mayor estrés temporal o eléctrico, con el fin de evaluar el comportamiento del sistema bajo condiciones cercanas a las del experimento DUNE.

E. CONCLUSIONES

La interfaz gráfica desarrollada presenta una estructura clara y coherente con los requerimientos de la colaboración DUNE, permitiendo la medición de voltajes, fre-

cuencias y otros parámetros mediante un flujo guiado que reduce significativamente la posibilidad de errores operativos. El sistema demuestra un desempeño acorde con los criterios de estabilidad, reproducibilidad y trazabilidad necesarios para la evaluación metrológica de las tarjetas.

Si bien algunos módulos aún requieren ajustes finales para completar su validación, los resultados preliminares muestran que el diseño avanza de manera consistente y ofrece una base sólida para culminar el desarrollo del banco de pruebas con la precisión, confiabilidad y capacidad de medición exigidas para su integración en el proceso de evaluación de las tarjetas DAPHNE.

En conjunto, los resultados obtenidos indican que la plataforma constituye una herramienta adecuada para las fases siguientes del proyecto y proporciona la infraestructura necesaria para asegurar una validación correcta y robusta de las tarjetas DAPHNE dentro del marco del experimento DUNE.

VI. CAPÍTULO VI

A. CONCLUSIONES GENERALES

El trabajo de investigación titulado *"Diseño y validación de subsistemas que componen un banco de pruebas electrónico para la evaluación del rendimiento y de los requerimientos mínimos de las tarjetas DAPHNE para su uso en el experimento DUNE"* logró desarrollar una arquitectura modular, automática y confiable para la validación crítica de la electrónica DAPHNE. El proyecto cumplió satisfactoriamente el objetivo general y los objetivos específicos propuestos, estableciendo una base sólida para el aseguramiento de calidad de los sistemas del experimento DUNE.

En primer lugar, se definieron de manera clara los subsistemas necesarios para la validación (generación de señales, medición de frecuencia y medición de fuentes de operación) y se establecieron sus requerimientos funcionales a partir del análisis de la arquitectura DAPHNE y de los estándares de la colaboración. Posteriormente, se desarrolló el diseño electrónico y digital del banco de pruebas, incluyendo el hardware de acondicionamiento y la lógica implementada en FPGA, que permitió generar pulsos discretizados tipo neutrino, ejecutar el método de coincidencias para la medición de frecuencia y establecer la infraestructura para la adquisición de voltajes de alta precisión. Asimismo, se validaron los subsistemas bajo condiciones controladas de laboratorio, demostrando estabilidad y reproducibilidad en las mediciones.

El desarrollo de firmware y software complementó la arquitectura del sistema mediante una estructura cliente-servidor y una interfaz gráfica en inglés que facilita el flujo guiado de pruebas, la trazabilidad de los operarios, la visualización en tiempo real y la generación automática de reportes en PDF. Esta integración permitió consolidar una plataforma coherente y funcional para la evaluación metrológica de tarjetas DAPHNE.

Entre los aportes más relevantes se destaca la generación de señales de pulso a partir de modelos discretos implementados directamente en la FPGA Zynq-7000, logrando reproducir formas de onda con fidelidad temporal acorde a las necesidades del experimento. De igual forma, el análisis estadístico del método de coincidencias permi-

tió determinar un tiempo óptimo de integración para el reloj de 62.5 MHz, garantizando incertidumbres relativas inferiores a 500 ppm y cumpliendo con los criterios de precisión requeridos. Aunque las pruebas iniciales con el ADS7138 revelaron limitaciones, el diseño implementado dejó preparada la infraestructura digital para la integración del ADC ADS1261, que permite lograr mediciones de voltaje con resoluciones de hasta 32 bits, fundamentales para la supervisión de líneas sensibles.

El impacto académico del proyecto se evidencia en las publicaciones derivadas, incluyendo la presentación de resultados en LATS 2025 y la preparación de manuscritos adicionales para revistas y conferencias del área. Esto refleja la pertinencia del trabajo en el contexto de los desarrollos electrónicos asociados a experimentos de física de altas energías.

En conjunto, los resultados obtenidos demuestran que el banco de pruebas desarrollado constituye una solución funcional, estable y reproducible, capaz de automatizar y optimizar el proceso de aseguramiento de calidad de las tarjetas DAPHNE, contribuyendo directamente al éxito operativo del experimento DUNE. Finalmente, el trabajo abre líneas de investigación futura que se describen a continuación.

B. TRABAJO FUTURO

El desarrollo del banco de pruebas abre varias líneas de trabajo que permitirán ampliar sus capacidades, mejorar la cobertura metrológica y completar el alcance funcional requerido para la validación integral de las tarjetas DAPHNE. En primer lugar, se propone el diseño de una tarjeta auxiliar basada en pogo pines, siguiendo el concepto preliminar que se observa en la Fig. 41. Este módulo permitiría establecer una conexión mecánica y eléctrica robusta entre el banco de pruebas y la tarjeta DAPHNE, habilitando el acceso directo a las señales y puertos críticos que deben ser monitoreados durante las pruebas de validación. La implementación de esta tarjeta estandarizaría el proceso de conexión, reduciría la dependencia de cables individuales y aumentaría la repetibilidad de las mediciones.

Otra línea de trabajo consiste en extender el banco de pruebas hacia la validación

independiente de las fuentes de alimentación mediante instrumentos de referencia, como un multímetro digital de alta precisión. Aunque esta caracterización no se abordó dentro del alcance temporal de la tesis, su implementación futura permitiría contrastar las mediciones internas contra un patrón externo y cerrar la trazabilidad metrológica del sistema. De manera complementaria, se sugiere incorporar la medición de corrientes en las líneas de operación de la tarjeta DAPHNE; esta capacidad permitiría identificar consumos anómalos y evaluar el comportamiento del sistema bajo distintas condiciones de carga, lo cual es fundamental para la operación segura del detector.

Finalmente, una vez completada la integración de los subsistemas, se propone realizar pruebas directas con una tarjeta DAPHNE real en un entorno controlado de laboratorio. Estas pruebas permitirían validar el desempeño del banco bajo condiciones operativas representativas y evaluar su capacidad para detectar desviaciones, fallas funcionales o anomalías temporales en un dispositivo real. Como proyección adicional, se identificó la posibilidad de diseñar una versión mini de DAPHNE, equipada con un único AFE y orientada a aplicaciones educativas o de investigación en laboratorios universitarios. Esta versión compacta aprovecharía la experiencia técnica adquirida durante el desarrollo del banco de pruebas y permitiría democratizar el acceso a sistemas de lectura inspirados en la electrónica del experimento DUNE.

VII. PARTICIPACIÓN EN EVENTOS ACADÉMICOS

Los avances de este trabajo fueron socializados en distintos eventos académicos y congresos especializados, fortaleciendo la divulgación científica y permitiendo la retroalimentación por parte de la comunidad internacional en instrumentación electrónica aplicada a física de altas energías. Estas participaciones contribuyeron a la consolidación y apropiación del conocimiento generado durante el desarrollo de los subsistemas del banco de pruebas.

- **LATS 2025**: Presentación en el *Latin American Test Symposium 2025*, realizado en San Andrés Islas, con la presentación titulada *Analysis and Validation of Frequency Test Accuracy in the Digitalization Subsystem of the DAPHNE Board for the DUNE Experiment*. La Fig. 42 muestra la participación en este evento.
- **ICTP**: Participación en el *1st Mesoamerican Workshop on Reconfigurable X-ray and Scientific Instrumentation for Cultural Heritage*, realizado en Guatemala por el ICTP, donde se discutieron aplicaciones de instrumentación reconfigurable en investigación científica. La Fig. 43 muestra parte de la experiencia en este evento.
- **Congreso Nacional de Física 2025**: Presentación del trabajo titulado *Metrological Analysis of Stability and Optimal Integration Time for High-Precision Frequency Measurement in the DAPHNE Test Bench* en el Congreso Nacional de Física 2025, realizado en Manizales, Colombia. La Fig. 44 presenta el registro visual de la participación.

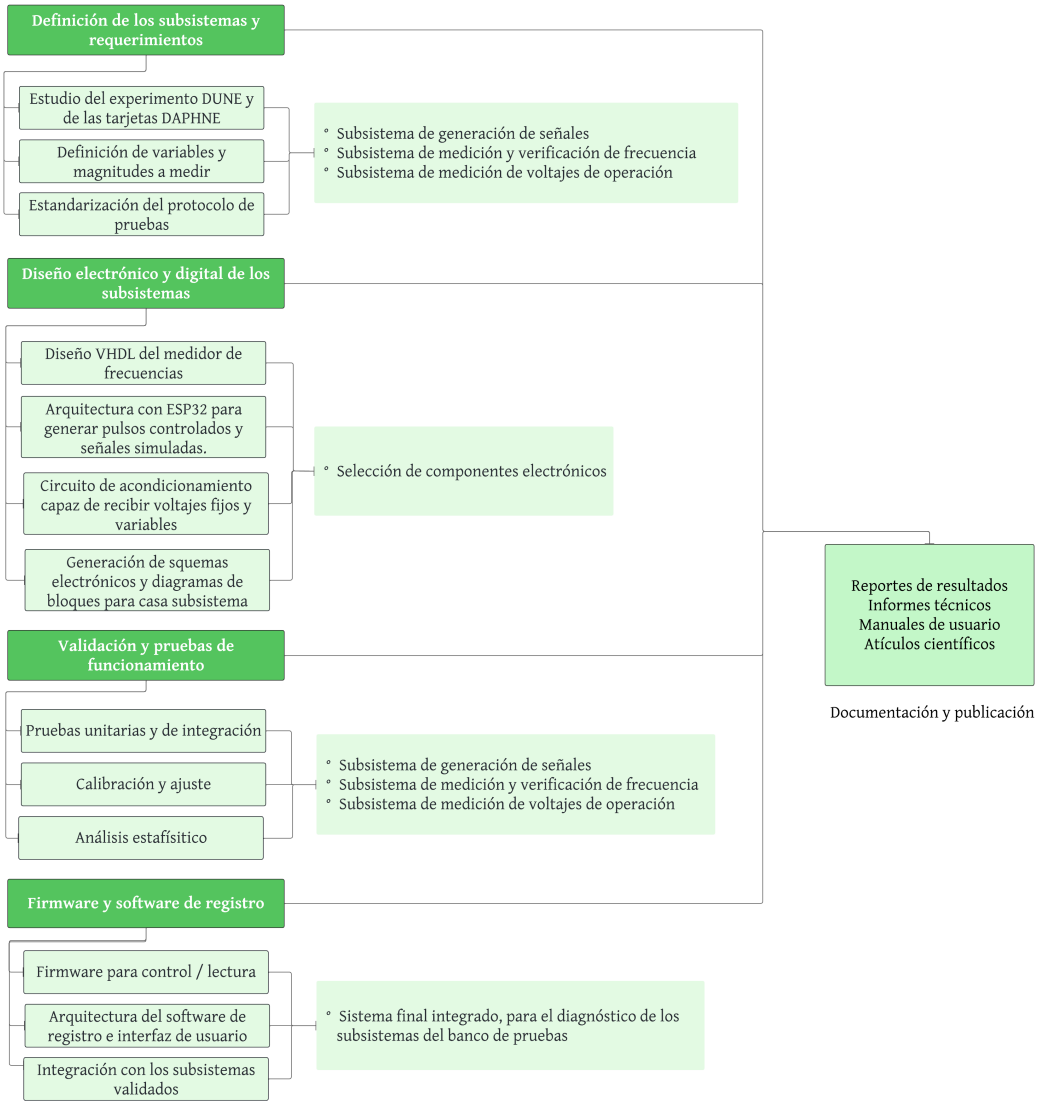


Fig. 9. Metodología general para dar cumplimiento a los subsistemas que componen el banco de pruebas de las tarjetas DAPHNE.

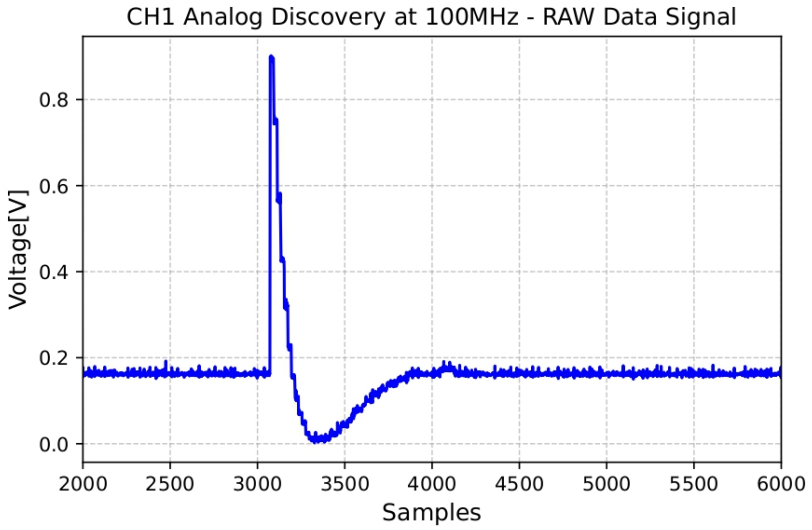


Fig. 10. Señal generada para la validación del subsistema de pulsos, adquirida a 100 MHz. Se observa el pulso completo con su tiempo de subida, valle y recuperación exponencial, correspondiente a datos RAW del instrumento.

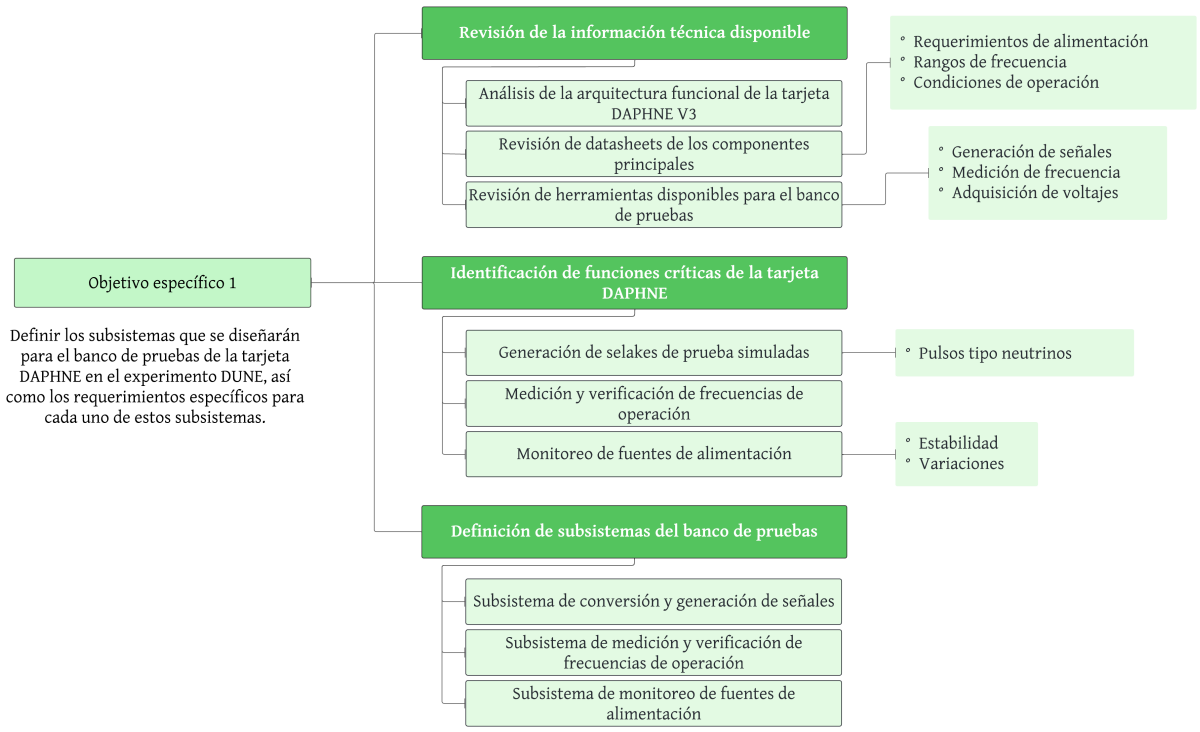


Fig. 11. Flujo de trabajo para la definición de los subsistemas del banco de pruebas, incluyendo análisis documental, revisión de datasheets y evaluación de compatibilidad con la tarjeta DAPHNE.



Fig. 12. Datasheet DAPHNE V3 (62.5 MHz, 100 MHz y 120.327 MHz).

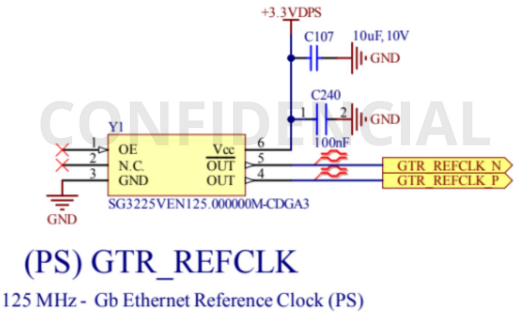


Fig. 13. Datasheet DAPHNE V3 (125 MHz).

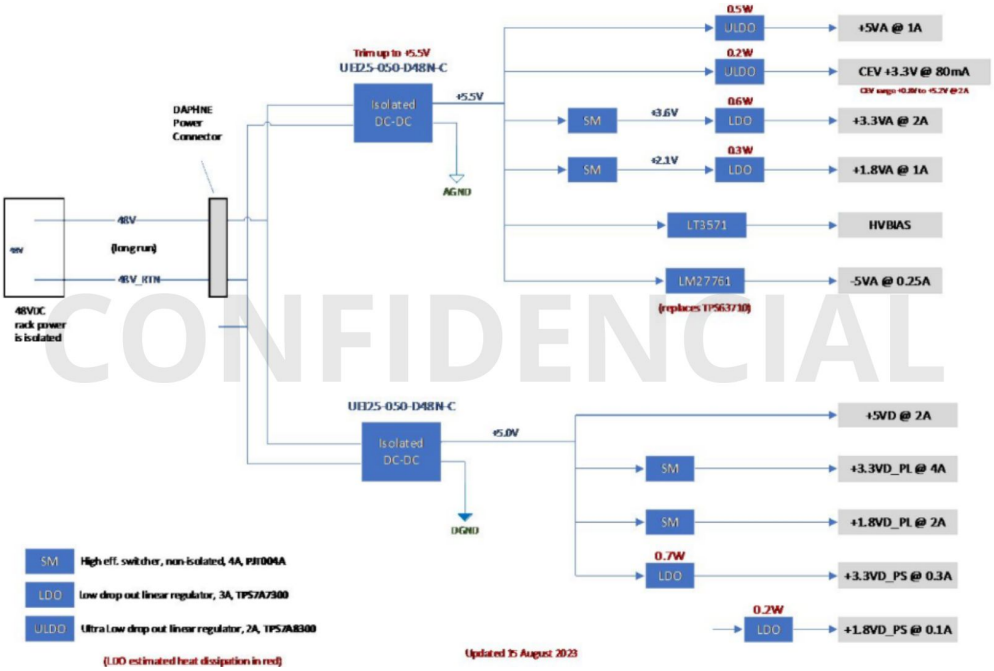


Fig. 14. Distribución de fuentes fijas de DAPHNE V3.

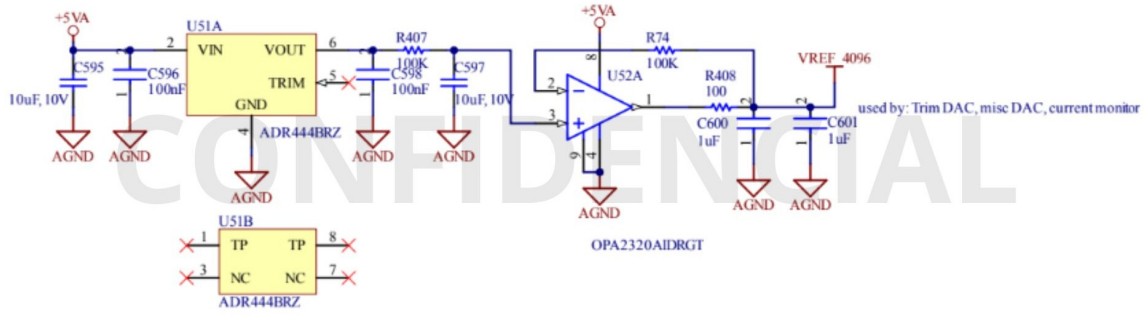


Fig. 15. Esquemático del generador de referencia TrimDAC, basado en la referencia de voltaje ADR444 y un amplificador operacional OPA2320 para acondicionamiento y distribución de la señal.

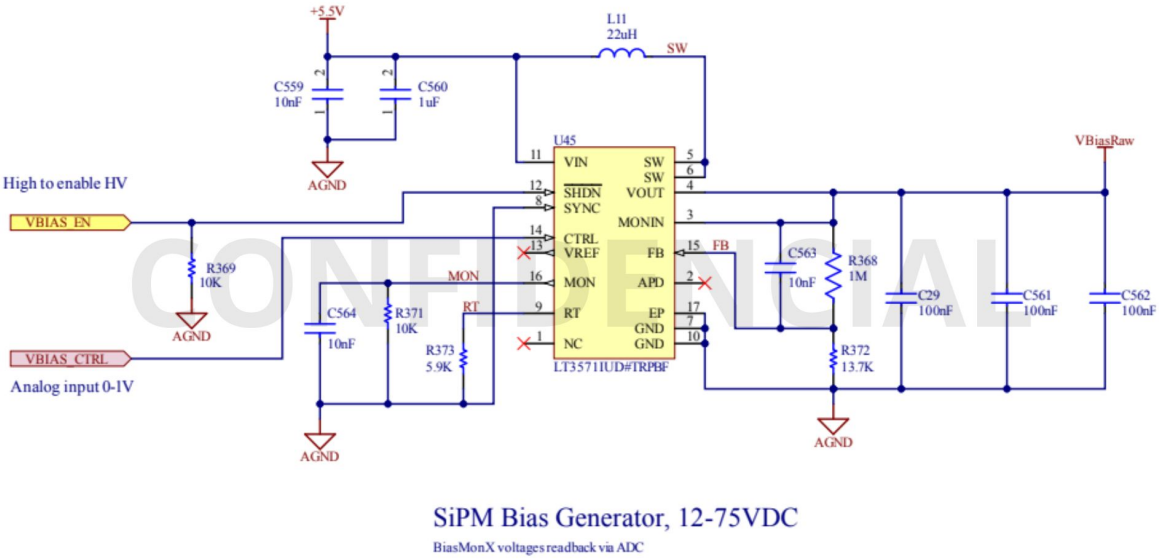


Fig. 16. Esquemático del generador de voltaje de polarización VBias para modificar el nivel de ganancia de los SiPM. El diseño emplea el convertidor DC-DC LT3571 para obtener un voltaje ajustable.

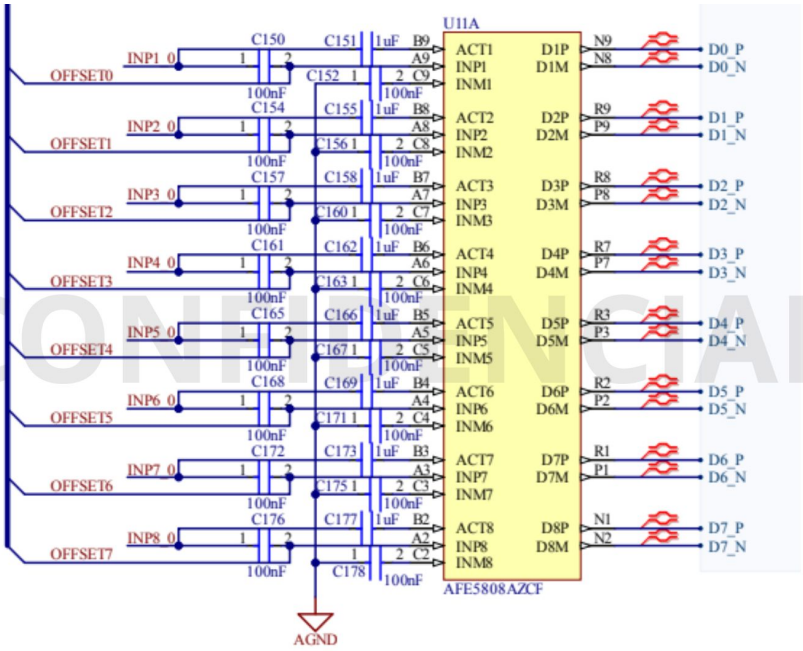


Fig. 17. Esquemático del generador OFFSET de voltaje configurable que condiciona las señales analógicas antes de su entrada al AFE5808AZCF.

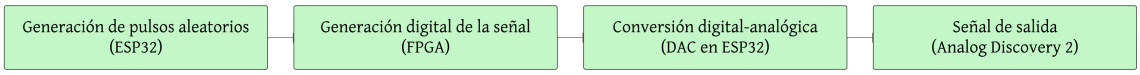


Fig. 18. Flujo de trabajo para el diseño electrónico del subsistema de conversión y generación de señales.

TABLA III

RESUMEN DE VOLTAJES Y FUENTES DE OPERACIÓN DE LA TARJETA DAPHNE V3.

Voltaje	**Corriente máx.**	**Regulador**	**Propósito / Bloques asociados**
Dominio Analógico			
+5 V	1 A	ULDO	Alimentación limpia para AFE y etapas sensibles.
+3.3 V	80 mA	ULDO	Sesiones críticas analógicas, baja disipación.
+3.3 V	2 A	SM + LDO	Bloques analógicos de potencia media; reducción de ruido mediante LDO.
+1.8 V	1 A	SM + LDO	Alimentación de lógica analógica y referencias internas.
HVBIAS	–	LT3571 (SM)	Polarización de SiPM; alto voltaje controlado.
−5 V	0.25 A	LM27761 (Inversor)	Alimentación negativa para amplificadores analógicos.
Dominio Digital			
+5 V	2 A	SM	Alimentación principal digital; lógica de potencia media.
+3.3 V_PL	4 A	SM	FPGA PL, buffers digitales, buses internos.
+1.8 V_PL	2 A	SM	Lógica interna del PL y bloques de alta velocidad.
+3.3 V_PS	0.3 A	LDO	Alimentación estable del procesador PS.
+1.8 V_PS	0.1 A	LDO	Referencias bajas de ruido del PS.
Voltajes configurables (DACs)			
0–4.095 V	VBias	DAC 14 bits	Voltaje de polarización enviado hacia los SiPM
0–4.095 V	TrimDAC	DAC 14 bits	Permite centrar el nivel DC dentro del rango óptimo
0–2.048 V	OFFSET	DAC 14 bits + divisor 1:2	Control del nivel DC del acumulador de carga del AFE

TABLA IV

PARÁMETROS ESTIMADOS PARA EL MODELO BIEXPONENCIAL DEL PULSO.

C_1	C_2	a_1	a_2	d
41.83	40.45	31.84	7.86	0.11

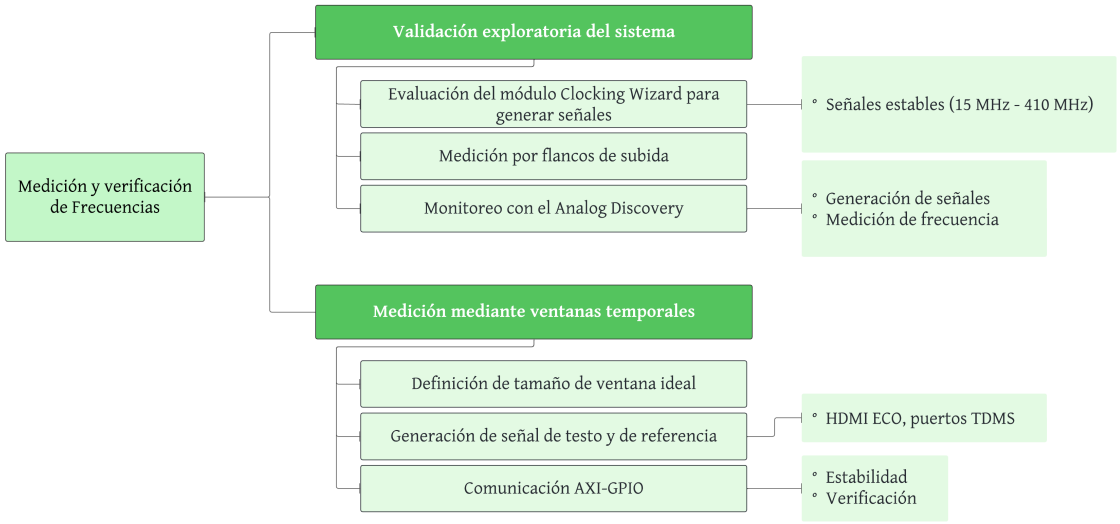


Fig. 19. Flujo de trabajo para el diseño electrónico del subsistema de medición y validación de frecuencias.

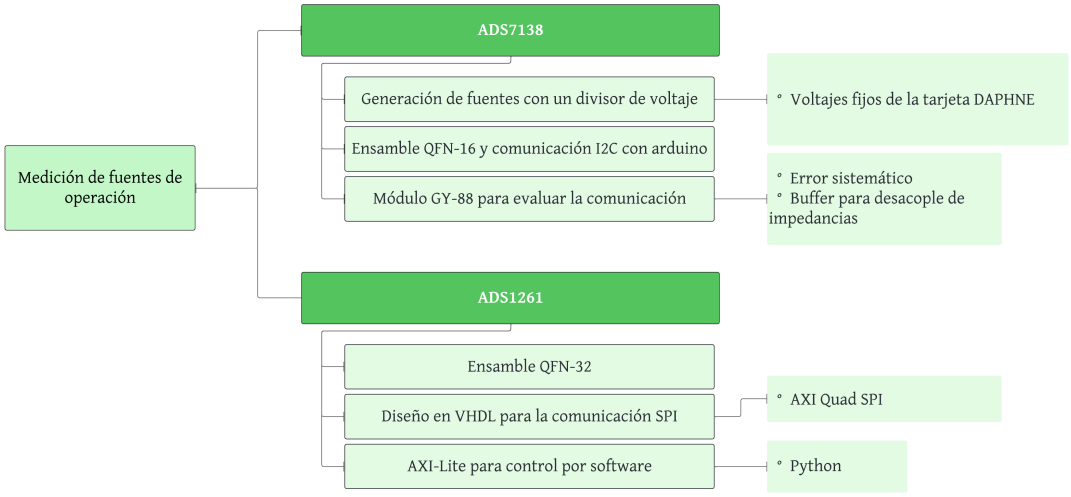


Fig. 20. Flujo de trabajo para el diseño electrónico del subsistema de medición de fuentes de operación del banco de pruebas para la tarjeta DAPHNE.

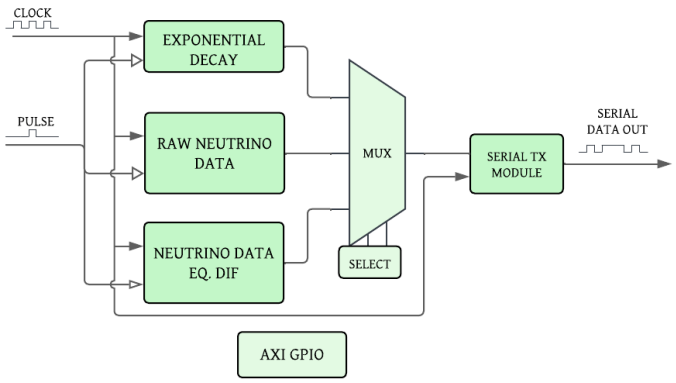


Fig. 21. Diagrama del sistema implementado para la generación de señales simuladas en la FPGA Zynq-7000.

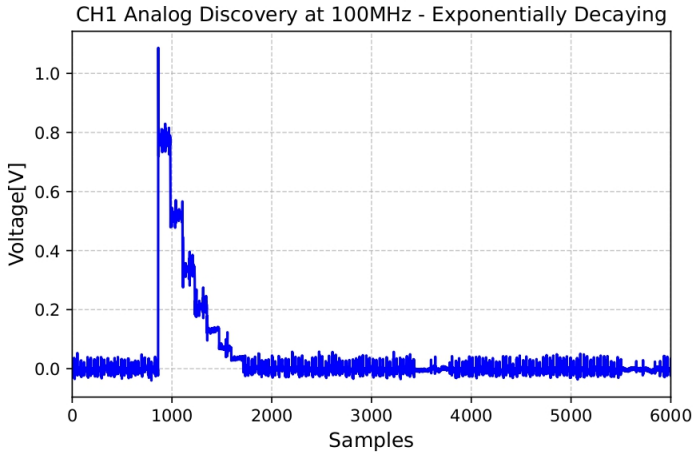


Fig. 22. Señal exponencial decreciente generada en la FPGA y medida mediante el DAC del ESP32.

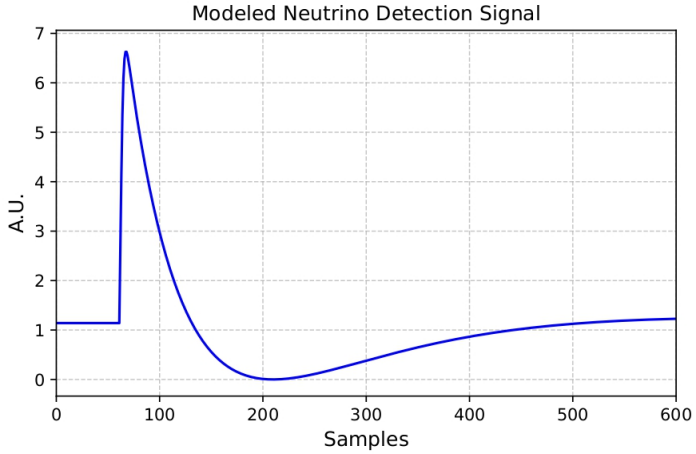


Fig. 23. Modelo continuo del pulso generado por un SiPM.

TABLA V

COEFICIENTES DEL MODELO DISCRETO DEL PULSO.

C_1	C_2	C_3	C_4	C_5
33554432	-85042484	54221008	12468155	15201111
K_1	K_2	K_3	K_4	K_5
33554432	-131839891	194240369	-127178346	31223436

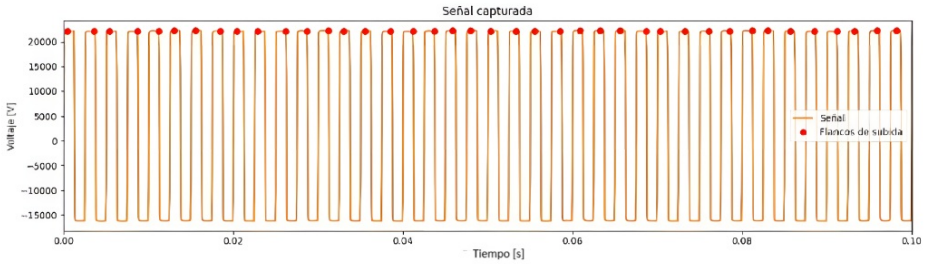


Fig. 24. Medición de frecuencia dentro de una ventana de 1 s, capturada con el Analog Discovery 2.

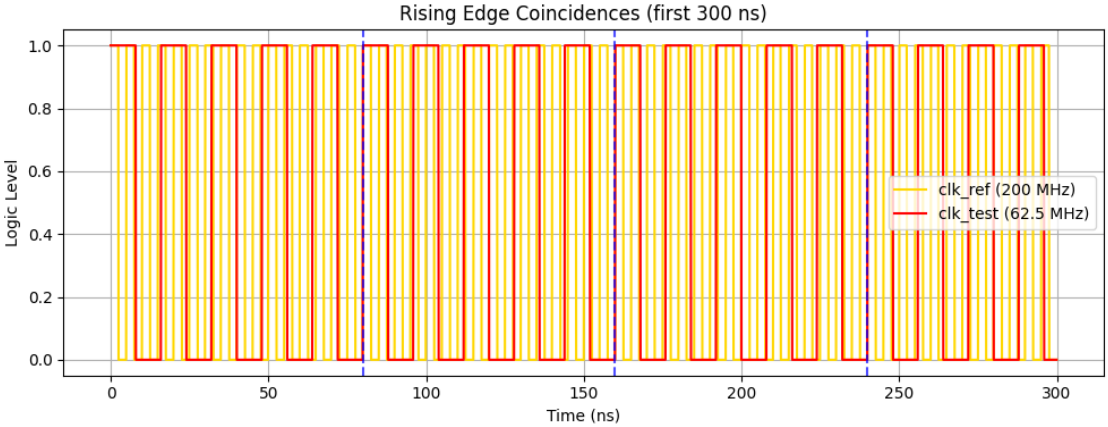


Fig. 25. Coincidencias de flancos de subida entre señales clk_{ref} y clk_{test} en los primeros 300 ns

TABLA VI

COMPARACIÓN ENTRE VOLTAJES APLICADOS Y VOLTAJES MEDIDOS POR EL ADS7138 DURANTE LAS PRUEBAS INICIALES.

Canal	**Voltaje aplicado (V)**	**Voltaje medido (V)**
0	1.20	0.41
1	2.00	0.85
2	2.50	1.02
3	3.00	1.07

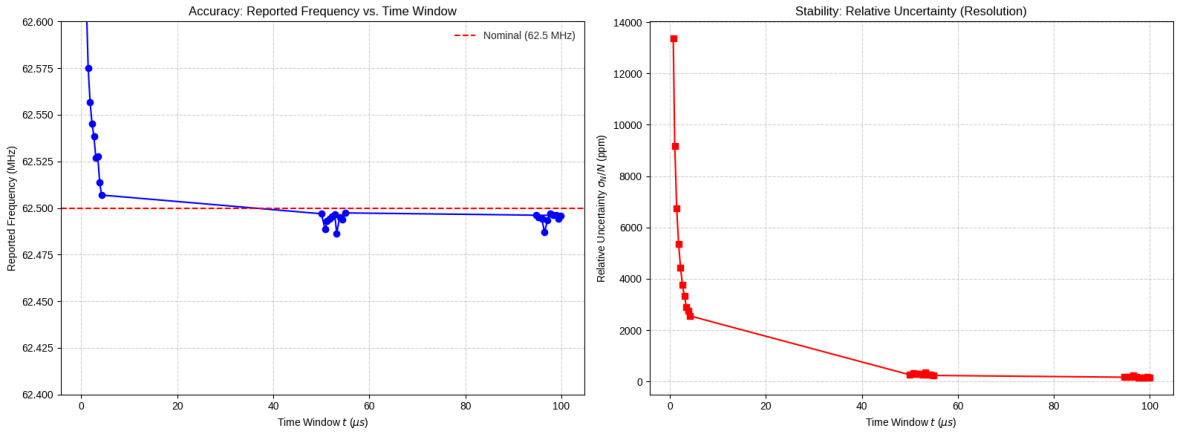


Fig. 26. Exactitud e incertidumbre en función de la ventana de integración.

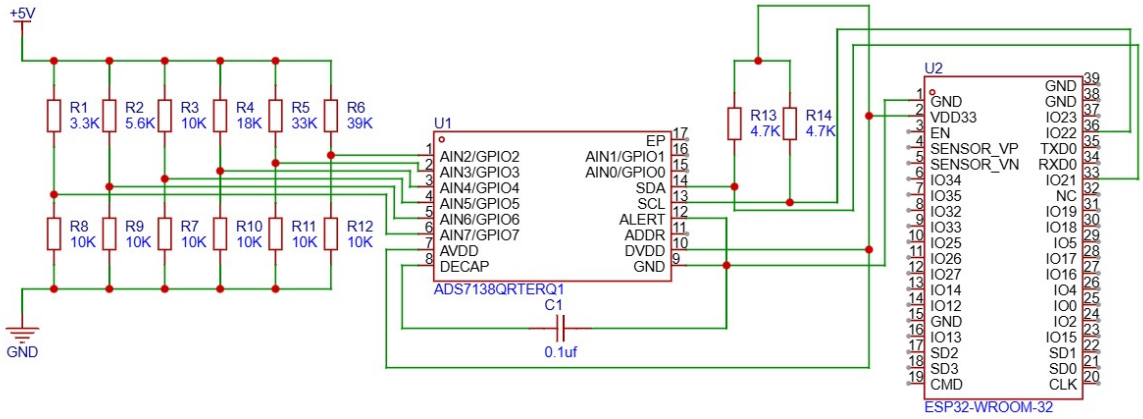


Fig. 27. Diseño esquemático del montaje para la medición de voltaje con el ADS7138.

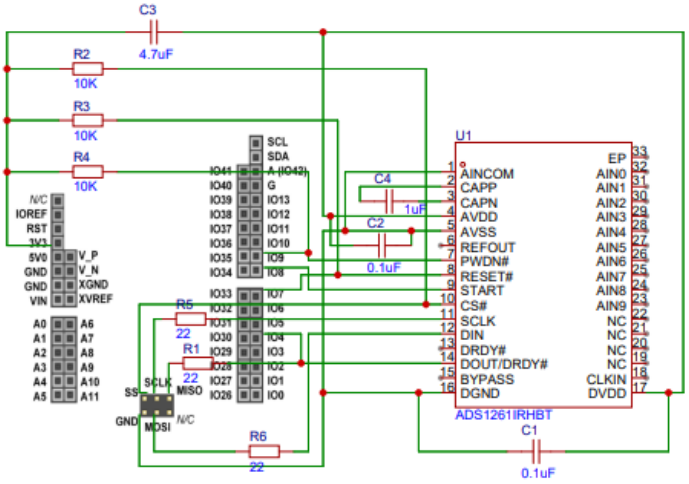


Fig. 28. Diseño esquemático del montaje para la medición de voltaje con el ADS1261.

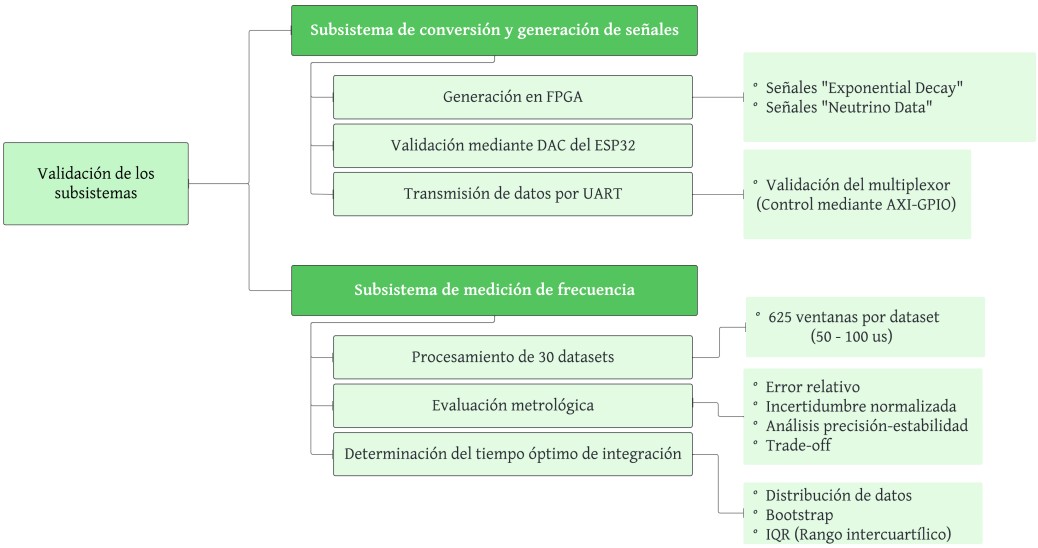


Fig. 29. Diagrama de flujo general para la validación de los subsistemas.

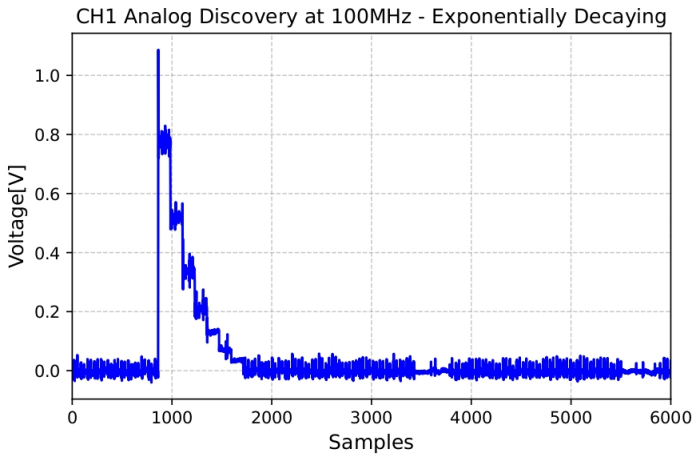


Fig. 30. Señal exponencial decreciente generada en la FPGA y medida mediante el DAC del ESP32.

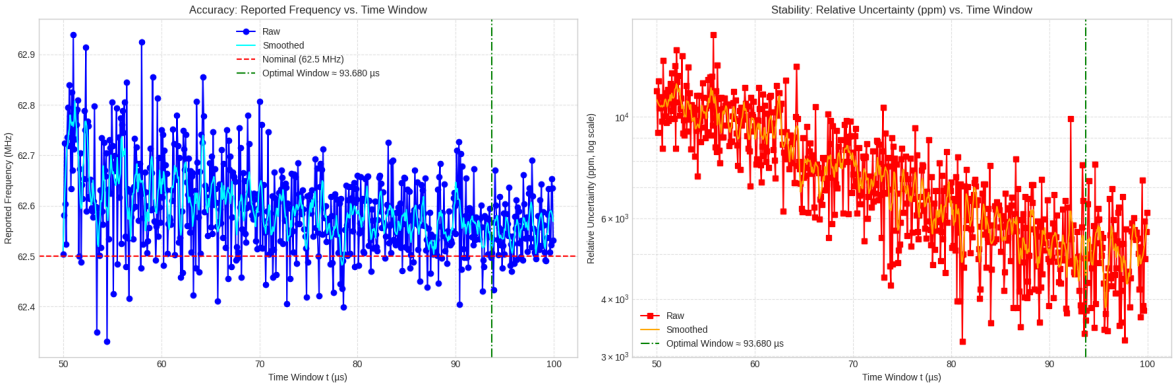


Fig. 31. Exactitud e incertidumbre en función de la ventana de integración entre 50 y 100 μs para 625 ventanas de tiempo (Para 1 de los 30 archivos).

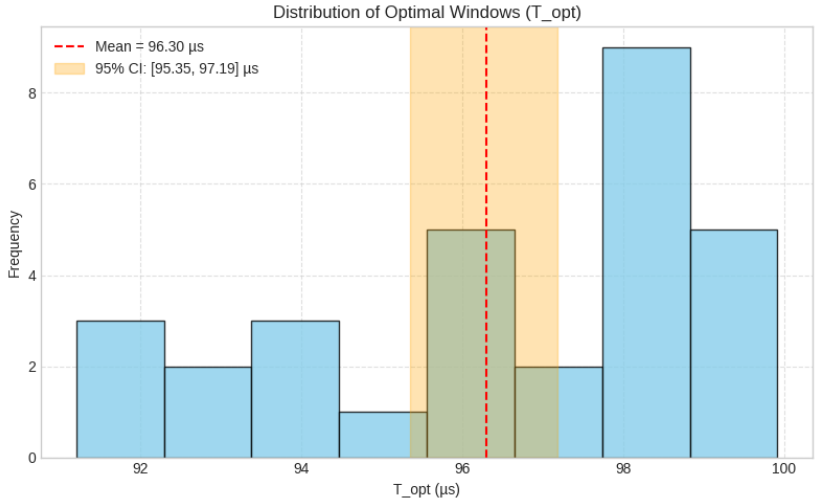
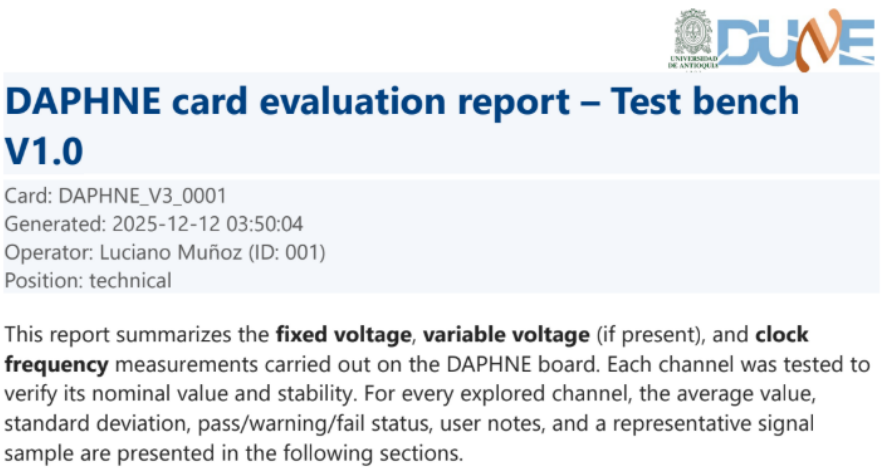


Fig. 32. Distribución de T_{opt} para los 30 datasets, con una clara concentración alrededor de los 96 μs



DAPHNE card evaluation report – Test bench V1.0

Card: DAPHNE_V3_0001
Generated: 2025-12-12 03:50:04
Operator: Luciano Muñoz (ID: 001)
Position: technical

This report summarizes the **fixed voltage**, **variable voltage** (if present), and **clock frequency** measurements carried out on the DAPHNE board. Each channel was tested to verify its nominal value and stability. For every explored channel, the average value, standard deviation, pass/warning/fail status, user notes, and a representative signal sample are presented in the following sections.

Fig. 33. Reporte de evaluación de funcionamiento de la tarjeta DAPHNE.

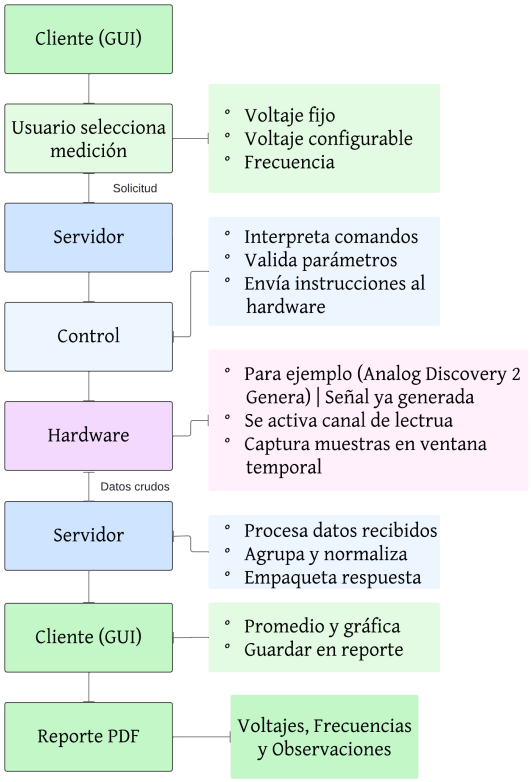
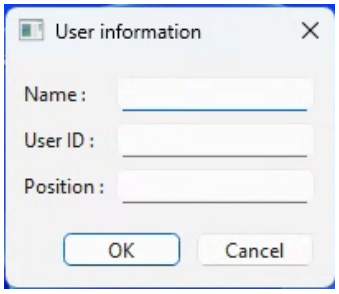
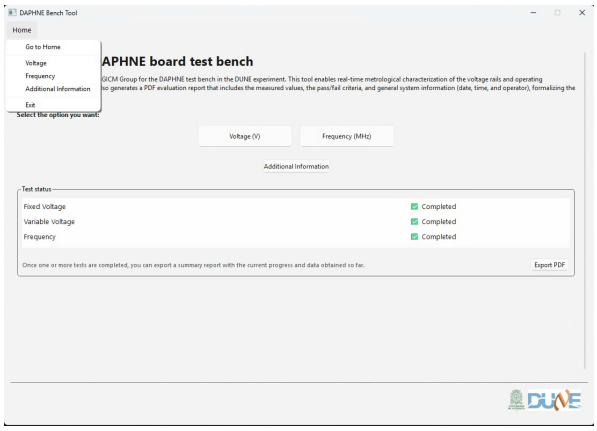


Fig. 34. Diagrama de flujo para la comunicación Firmware-Software.



(a) Información del Operario.



(b) Menú inicial (Home).

Fig. 35. Inicialización en el software.

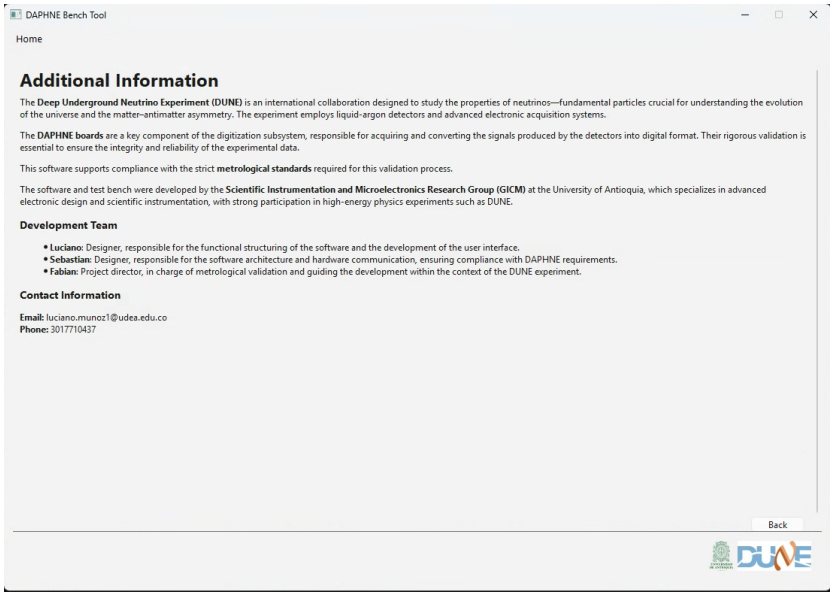
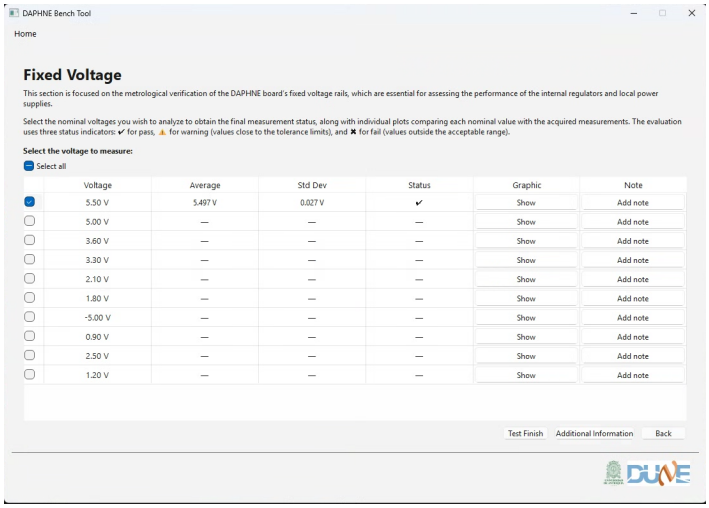
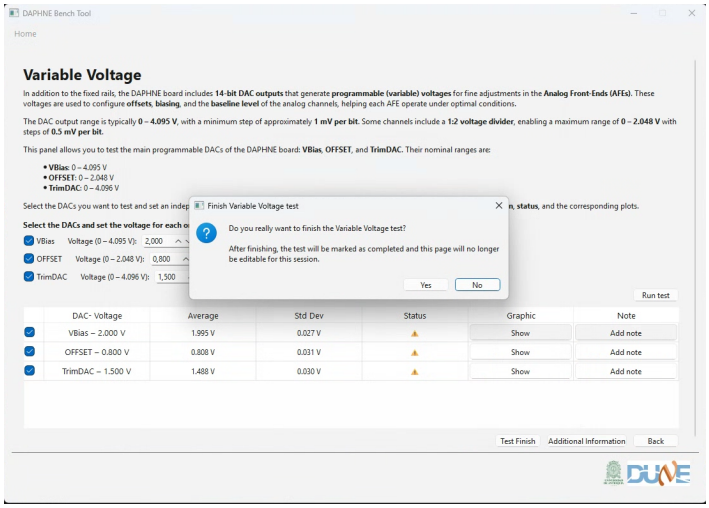


Fig. 36. Información Adicional del Software, que contiene inforación del experimento DUNE y de los desarrolladores

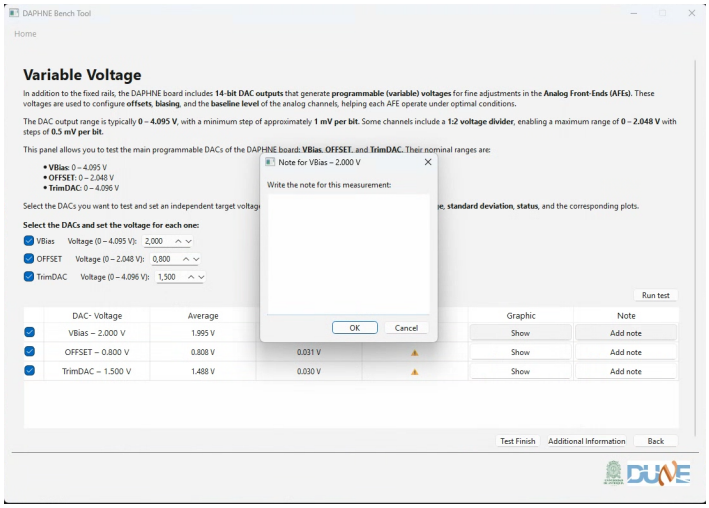


(a) Medición de voltajes fijos.

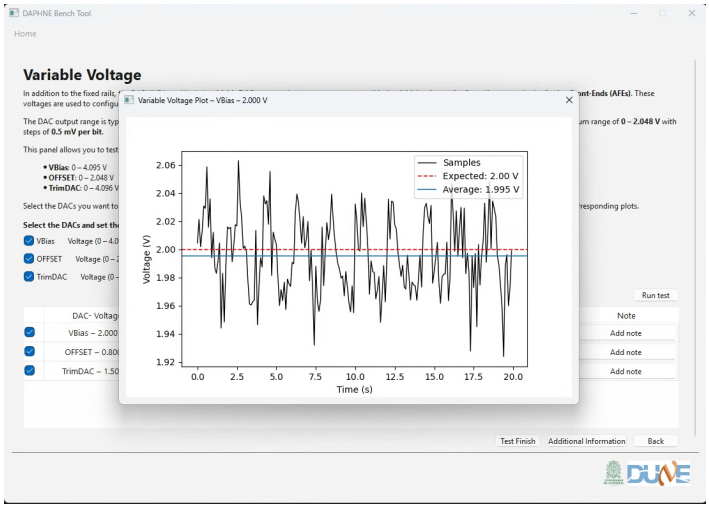


(b) Medición de voltajes configurables.

Fig. 37. Medición de voltajes.



(a) Espacio para ingresar notas por parte del operario



(b) Visualización de gráfica de los datos medidos para cada prueba particular

Fig. 38. Medición de voltajes.

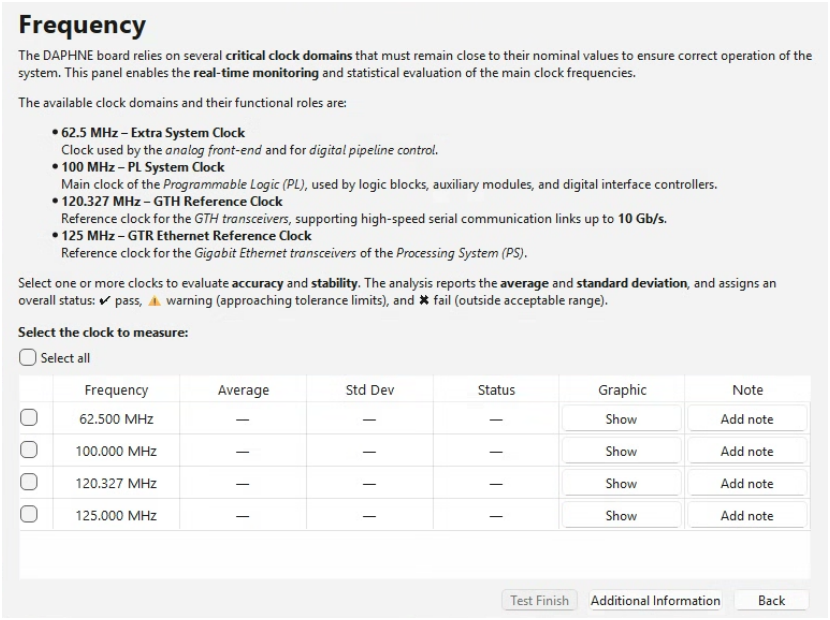
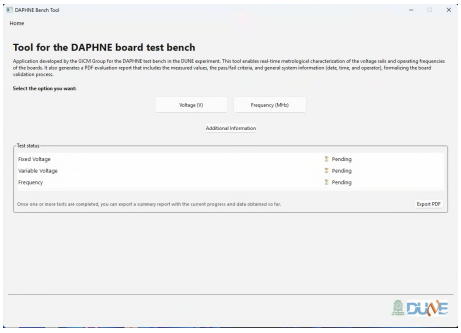
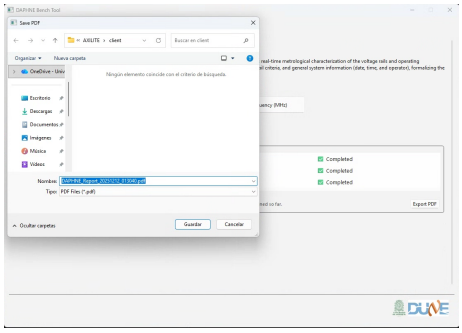


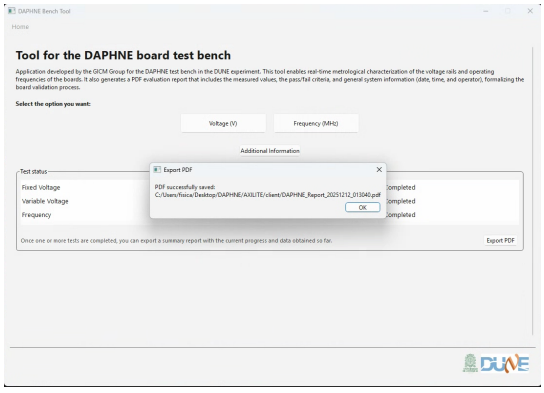
Fig. 39. Medición de voltajes (62.5 MHz, 100 MHz, 120.327 MHz y 125 MHz.



(a) Barra de progreso cuando existe alguna medición pendiente.



(b) Ventana para guardar el reporte de evaluación en PDF.



(c) Confirmación de archivo PDF guardado.

Fig. 40. Barra de progreso, proceso de guardado del reporte y confirmación final.

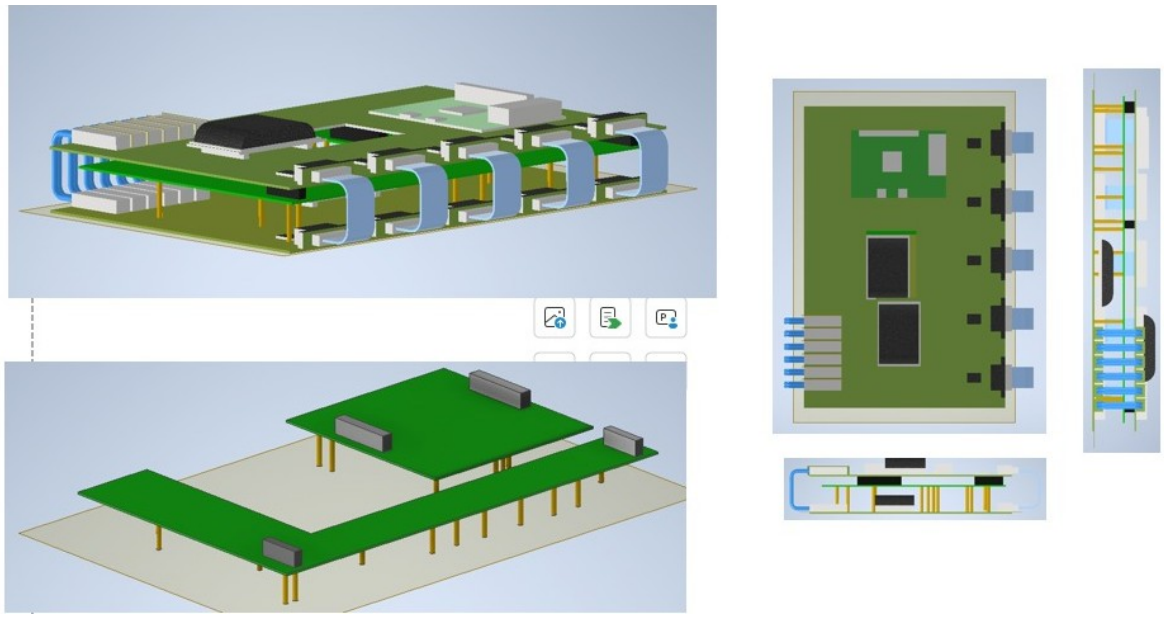


Fig. 41. Diseño de tarjeta auxiliar basada en pogopines para tener acceso directo a las señales y puertos críticos que deben ser monitoreados durante las pruebas de validación de las tarjetas DAPHNE:



Fig. 42. Participación en LATS 2025.



Fig. 43. Participación en el ICTP Mesoamerican Workshop.



Fig. 44. Participación en el Congreso Nacional de Física 2025.

REFERENCIAS

[1] K. Nakamura *et al.*, "Neutrino Mass, Mixing, and Oscillations," *Journal of Physics G: Nuclear and Particle Physics*, vol. 37, no. 7A, p. 075021, 2010.

[2] R. Jeffrey *et al.*, "Deep ocean neutrino detector development: Contributions by the DUMAND project," https://www.phys.hawaii.edu/~dumand/dumacomp.html, n.d.

[3] I. A. Belolaptikov *et al.*, "The Baikal Underwater Neutrino Telescope: Design, Performance, and First Results," *Astroparticle Physics*, vol. 7, no. 3, pp. 263–282, 1997.

[4] E. Andres *et al.*, "The AMANDA Neutrino Telescope: Principle of Operation and First Results," *Astroparticle Physics*, vol. 13, pp. 1–20, 2000.

[5] "IceCube-Gen2 Project Page," https://www.icecube-gen2.de/project/index_eng.html.

[6] I. Collaboration, "The IceCube Neutrino Observatory: Instrumentation and Online Systems," https://arxiv.org/abs/1612.05093, 2016.

[7] M. Ageron *et al.*, "ANTARES: The first undersea neutrino telescope," *Nuclear Instruments and Methods in Physics Research A*, vol. 656, pp. 11–38, 2011.

[8] S. Biagi, "Performances and main results of the KM3NeT prototypes," https://www.researchgate.net/publication/323890814, 2016.

[9] "Nature Article," https://www.nature.com/articles/s41586-024-08543-1.

[10] Y. Fukuda *et al.*, "Evidence for Oscillation of Atmospheric Neutrinos," *Physical Review Letters*, vol. 81, pp. 1562–1567, 1998.

[11] R. Liu *et al.*, "JUNO experiment: Current status and physics," *Journal of Physics: Conference Series*, vol. 2586, p. 012135, 2023.

[12] K. Abe *et al.*, "Hyper-Kamiokande Design Report," https://hal.science/hal-01801891, HAL Open Science, Tech. Rep., 2018.

[13] B. Abi *et al.*, "Deep Underground Neutrino Experiment (DUNE), Far Detector Technical Design Report," *arXiv*, 2020.

[14] A. A. *et al.*, "DUNE Phase II: Scientific Opportunities, Detector Concepts, Technological ..." http://arxiv.org/abs/2408.12725, 2024.

[15] S. A. *et al.*, "Exploring the Quantum Universe: Report of the 2023 Particle Physics Project Prioritization Panel," https://www.usparticlephysics.org/2023-p5-report/, 2023.

[16] C. Anderson *et al.*, "The ArgoNeuT Detector in the NuMI Low-Energy Beam Line at Fermilab," *JINST*, vol. 7, p. P10019, 2012.

[17] D. Collaboration, "Volume III. DUNE far detector technical coordination," *Journal of Instrumentation*, vol. 15, 2020.

[18] ——, "Volume IV. The DUNE far detector single-phase technology," *Journal of Instrumentation*, vol. 15, no. 08, 2020.

[19] ——, "Photon Detection System Electronics Overview," 2023, dUNE Internal Note DUNE-doc-XXXX.

[20] "A new portable test bench for the ATLAS Tile Calorimeter front-end electronics," https://www.researchgate.net/publication/258309858_A_new_portable_test_bench_for_the_ATLAS_Tile_Calorimeter_front-end_electronics.

[21] M. Navas, "¿Qué es una conexión Gigabit Ethernet y para qué sirve?" https://www.profesionalreview.com/2018/08/27/conexion-gigabit/, 2018.

[22] U.-M. Choi, F. Blaabjerg, and S. Jørgensen, "Power cycling test methods for reliability assessment of power device modules in respect to temperature stress," *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2531–2551, 2018.

[23] R. Acciarri *et al.*, "Photon Detection System performance in ProtoDUNE-SP," *Proceedings of Science*, vol. 449, p. 516, 2024. [Online]. Available: https://pos.sissa.it/449/516/pdf

[24] G. E. Ferrer, "Diseño e implementación de un circuito electrónico en FPGA para la optimización de la detección de eventos en NEXT," 2018.

[25] V. Barger, D. Marfatia, and K. Whisnant, *The Physics of Neutrinos*. Princeton University Press, 2012.

[26] A. D. Dolgov, "Neutrinos in cosmology," *Physics Reports*, vol. 370, no. 4–5, pp. 333–535, 2002.

[27] C. UNAM, "Los neutrinos podrían explicar nuestra existencia," https://ciencia.unam.mx/leer/1029/los-neutrinos-podrian-explicar-nuestra-existencia, 2017.

[28] J. A. Casas and A. Ibarra, "Oscillating neutrinos and $\mu \to e, \gamma$," *Nuclear Physics B*, vol. 618, no. 1–2, pp. 171–204, 2001.

[29] D. Collaboration, "Deep Underground Neutrino Experiment," https://www.dunescience.org/, 2023.

[30] LBNF-DUNE. How it works: Neutrino beam. [Online]. Available: https://lbnf-dune.fnal.gov/how-it-works/neutrino-beam/

[31] B. Abi *et al.*, "Volume IV. The DUNE far detector single-phase technology," *JINST*, vol. 15, no. T08010, 2020.

[32] V. Ródriguez, J. López, J. Fajardo, V. Restrepo, and F. A. Castaño, "Generation of Simulated Neutrino Signals for the Digitization Subsystem in the DAPHNE Test Bench of the DUNE Experiment," in *Proceedings of the IEEE Latin American Test Symposium*, San Andres Islas, Colombia, 2025.

[33] Science and Technology Facilities Council. (2023) Deep underground neutrino experiment (dune). Accessed: 2025-02-07. [Online]. Available: https://www.ppd.stfc.ac.uk/Pages/DUNE.aspx

[34] J. D. Bayliss, G. S. Davies, M. C. Mims, and R. S. McKeown, "Neutrino Detectors with Photon Sensors in Liquid Argon," *Instruments*, vol. 8, no. 1, p. 58, 2023. [Online]. Available: https://www.mdpi.com/2673-9984/8/1/58

[35] H. Belkadhi, "Photon Detection System Optimization for DUNE," in *CPAN2023 Conference*, 2023. [Online]. Available: https://indico.cern.ch/event/1283224/contributions/5590466/attachments/2724930/4735409/Hamza_CPAN_RENATA.pdf

[36] Deep Underground Neutrino Experiment, "Single-Phase Vertical Drift Technology for Far Detector Module 2 (FD2-VD)," DUNE Collaboration, Technical Design Report, 2023.

[37] FDM Environment Makers. (2023) ¿qué se entiende por banco de pruebas? [Online]. Available: https://www.dellamarca.it/es/que-se-entiende-por-banco-de-pruebas/

[38] H. W. Johnson and M. Graham, *High-Speed Digital Design: A Handbook of Black Magic*. Prentice Hall, 1993.

[39] Grupo Adaptalia. (2024) Firmware y ciberseguridad: Cómo proteger los pilares digitales. [Online]. Available: https://grupoadaptalia.es/blog/firmware-y-ciberseguridad-proteger-los-pilares-digitales/

[40] S. Brown and Z. Vranesic, *Fundamentals of Digital Logic with VHDL Design*. McGraw-Hill, 2019.

[41] PROTO-ELECTRONIC.COM. Nuestras 5 reglas principales para la reducción del ruido en el pcb. [Online]. Available: https://www.proto-electronics.com/es/blog/principales-ventajas-pcb-nucleo-metalico-metal-core-pcb-0

[42] J. Schumacher, "Front-end Electronics for Silicon Photomultipliers," Physikalisches Institut A, Tech. Rep., 2014.

[43] C. Gotti, "Cold Electronics and DAPHNE," Presentation, 2022. [Online]. Available: https://agenda.infn.it/event/32953/contributions/184138/attachments/98899/137018/DUNE_20221107_PDS_electronics.pdf

[44] Indico Global. (2025) Event contribution. [Online]. Available: https://indico.global/event/8708/contributions/84007/?utm_source=chatgpt.com

[45] S. Ariza-Vesga. (2009) Tte ariza vesga samuel. [Online]. Available: https://repository.uniminuto.edu/bitstream/10656/595/1/TTE_ArizaVesgaSamuel_2009.pdf

[46] Megatron. (2020) Tarjetas electrónicas de control. [Online]. Available: https://refrielectriclasose.wordpress.com/wp-content/uploads/2020/04/tarjetas-electronicas-julio-2019-1.pdf

[47] S. Guayaquil. (2020) Universidad politÉcnica salesiana. [Online]. Available: https://dspace.ups.edu.ec/bitstream/123456789/19030/5/UPS-GT002965.pdf

[48] B. Maykel. (2015) Analizador de redes monofásico basado en fpga. [Online]. Available: https://www.researchgate.net/publication/274371948_ANALIZADOR_DE_REDES_MONOFASICO_BASADO_EN_FPGA

[49] G. F. Knoll, *Radiation Detection and Measurement*, 4th ed. Wiley, 2010.

[50] C. Leroy and P.-G. Rancoita, *Principles of Radiation Interaction in Matter and Detection*. World Scientific, 2016.

[51] B. Widrow and I. Kollar, *Quantization Noise: Roundoff Error in Digital Computation, Signal Processing, Control, and Communications*. Cambridge University Press, 2008.

[52] A. Oppenheim and R. Schafer, *Discrete-Time Signal Processing*, 3rd ed. Prentice Hall, 2009.

[53] A. V. Oppenheim, A. S. Willsky, and S. H. Nawab, *Signals and Systems*, 2nd ed. Upper Saddle River, NJ, USA: Prentice Hall, 1999, see Section 4.3 for the Sampling Theorem (Nyquist-Shannon Criterion).

[54] LArSoft Collaboration, "LArSoft: Liquid Argon Software Toolkit," https://larsoft.org/, 2024.

[55] J. G. Proakis *et al.*, "Tratamiento digital de señales," 2007.

[56] I. G. Hughes and T. P. A. Hase, *Measurements and their Uncertainties*, 1st ed. Oxford University Press, 2010.

[57] Grupo de Instrumentación Científica y Microelectrónica, "Pulse_Sim_Eqdif_Prj," 2024. [Online]. Available: https://github.com/GICM-UdeA/Pulse_Sim_Eqdif_Prj

[58] ——, "Pulse_Frequency_Meter," 2024. [Online]. Available: https://github.com/GICM-UdeA/Frequency_Meter

ANEXOS

Generation of Simulated Neutrino Signals for the Digitization Subsystem in the DAPHNE Test Bench of the DUNE Experiment

LATS2025 - 26th IEEE Latin - American Test Symposium

1st Valentina Ródriguez
GICM - *Undergraduate Physics Student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0009-5214-1976

2nd Jerónimo López
GICM - *Undergraduate Physics Student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0003-1900-3172

3rd Juan Fajardo
GICM - *Master's in Engineering student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0007-7711-7759

4th Valentina Restrepo
GICM - *Undergraduate Engineering Student*
Engineering Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0000-0003-1747-0095

5th Fabian Andres Castaño
GICM - *Physics Institute*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
fabian.castano@udea.edu.co
https://orcid.org/0000-0001-8014-4773

2025 IEEE 26th Latin American Test Symposium (LATS) | 978-1-6654-7763-5/25/$31.00 ©2025 IEEE | DOI: 10.1109/LATS65346.2025.10963936

***Abstract*—The DUNE experiment studies neutrinos, fundamental particles that interact weakly with matter. This work describes the development of a subsystem for signal digitization on the DAPHNE card test bench, a critical component in the experiment's data acquisition. HDL designs were implemented on an FPGA, and pulses were generated using an ESP32 microcontroller, which were then converted to analog signals through its DAC. The evaluation was performed using the Analog Discovery 2 device. The results confirmed the correct implementation of the HDL designs, based on predefined data and difference equations. The difference equation-based model demonstrated greater dynamic processing capability, albeit with higher resource consumption, whereas the predefined data design proved more resource-efficient. This development enhances the evaluation of the DAPHNE board, increasing its reliability and adaptability within the context of the DUNE experiment.**

***Index Terms*—Data acquisition, Signal generators, Analog-digital integrated circuits, Neutrino sources, High energy physics instrumentation computing**

I. Introduction

The DUNE experiment (*Deep Underground Neutrino Experiment*) aims primarily at the observation and detailed study of neutrinos, fundamental particles whose extremely weak interaction with matter, represented by their low cross-section of interaction ($10^{-45}\mathrm{m}^2$), makes them extremely difficult to detect [1]. However, these particles have the potential to reveal fundamental insights into the origins and evolution of the universe. In this context, the consortium responsible for the Photon Detection System (*PDS*) has designed and developed a high-performance technological platform known as *DAPHNE* (*Detector electronics for Acquiring Photons from Neutrinos*). This system plays a crucial role in the acquisition and processing of data within the *Far Detector*, ensuring accurate and efficient collection of the necessary scientific information, even under extreme operational conditions [2].

As one of the main strategic projects in the field of particle physics, *DUNE* is supported by the Particle Physics Project Prioritization Panel (*P5*), which in its 2023 report emphasized the importance of Phases I and II to advance the understanding of neutrinos and their mechanisms of interaction and production [3], [4]. The *Far Detector* of *DUNE* consists of six cryostats containing a total of 70 kilotons of liquid argon (*LAr*), located $1.5\,\mathrm{km}$ underground at Sanford, South Dakota. This environment presents significant challenges for maintenance and repair due to the extreme environmental conditions and limited access to the facilities [2].

The *DAPHNE* system consists of 150 electronic boards, each of which integrates five AFE5808A (*Analog Front End*) chips, designed to amplify, filter, and digitize signals from the SiPMs in the X-Arapucas [2], [5]. Each board has 40 acquisition channels that operate at a sampling rate of 62.5 Msps with a 14-bit resolution, generating an estimated aggregated data volume of 450 Gbps. This demonstrates the ability of *DAPHNE* to manage the complexity and high data requirements associated with the experiment [2], [6], [7].

Since its initial implementation in 2019, the *DAPHNE* system has evolved through three versions, each developed to meet the growing demands of the *PDS*. The initial architecture integrated an STM32H753II microcontroller for *Slow Control* and an Artix-7 FPGA responsible for *Fast Data Acquisition*. The microcontroller supervises key parameters such as voltages, gain settings, and peripheral configurations, using standard interfaces such as USART, SPI, and I2C. Meanwhile, the Artix-7 FPGA handles high-speed data processing and transmission [8].

In 2022, version $2.A$ of *DAPHNE* introduced high-speed links based on Gigabit Ethernet, managed using the TCP/IP protocol. In 2023, version 3 introduced an optimized and compact architecture,

978-1-6654-7763-5/25/$31.00 ©2025 IEEE

Authorized licensed use limited to: Universidad de Antioquia. Downloaded on November 25,2025 at 20:48:11 UTC from IEEE Xplore. Restrictions apply.

Metrological analysis of stability and optimal integration time for high-precision frequency measurement in the DAPHNE test bench

Congreso nacional de física 2025

1st Juan Fajardo
GICM - *Master's in Engineering student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0007-7711-7759

2nd Jerónimo López
GICM - *Undergraduate Physics Student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0003-1900-3172

3rd Fabian Andres Castaño
GICM - *Physics Institute*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
fabian.castano@udea.edu.co
https://orcid.org/0000-0001-8014-4773

***Abstract*—This work presents the development and evaluation of a signal-conversion and digitization subsystem for the DAPHNE testbench in the DUNE experiment. The main objective was to determine the optimal integration-window size that guarantees high accuracy and stability in frequency measurements while minimizing FPGA processing time. Thirty window configurations were tested across short, intermediate, and extended ranges, generating approximately 600,000 samples per configuration, acquired through Jupyter. The results show that integration windows shorter than $10\ \mu s$ exhibit significant dispersion due to instantaneous fluctuations, whereas windows longer than $60\ \mu s$ stabilize the estimated frequency around the nominal value of 62.5 MHz, with a maximum relative error below 0.02%. Furthermore, the relative uncertainty decreases exponentially as the window size increases, reaching values below 500 ppm for windows of $60\ \mu s$ or greater, demonstrating the effectiveness of the method as a digital integrator that filters high-frequency jitter and random noise. These findings define an optimal range for the integration window that ensures reliable and efficient measurements, contributing to the precise validation of DAPHNE electronic systems and supporting the readiness of DUNE subsystems.**

***Index Terms*—Data acquisition, Data acquisition circuits, Digital electronic circuits, Analogue electronic circuits, Neutrino detectors, Performance of High Energy Physics Detectors**

I. Introduction

The detection of neutrinos represents one of the greatest challenges in modern particle physics due to their extremely weak interaction with matter, characterized by an interaction cross-section on the order of 10^{-45} m^2. In this context, the Deep Underground Neutrino Experiment (DUNE) aims to achieve major advancements in our understanding of these fundamental particles [1]. The DUNE far detector consists of four modules, each implemented as a Liquid Argon Time Projection Chamber (LArTPC), enabling the detection of neutrinos and the reconstruction of the signals generated by their interactions. DUNE has been identified as a strategic scientific priority by the United States Particle Physics Project Prioritization Panel (P5), whose 2023 report emphasized the importance of Phases I and II of the experiment for the future of high-energy physics [2], [3].

A key component for the success of DUNE is the DAPHNE (Data Acquisition and Photon Detection Electronics) data acquisition system. This system is responsible for recording signals produced by neutrino events, including the pulses generated by neutrino interactions in liquid argon. Its correct operation is essential to ensure the quality and reliability of the data used in physics analyses [1], [4], [5]. To date, four versions of the DAPHNE system have been developed, each evolving in response to the requirements of the Photon Detection System (PDS). Since the first prototype, these boards have improved in power-supply design, voltage stability, and multi-channel high-frequency digitization, culminating in the current version 4.0 [6].

Although the DAPHNE boards will not be directly exposed to extreme temperature, humidity, pressure, or radiation conditions, the connected SiPM sensors will experience such environments. Consequently, it is crucial to guarantee the continuous and reliable operation of the acquisition system with minimal human intervention [4]. In this context, the development of automated test benches becomes essential to validate the performance of electronic systems in a precise, repeatable, and efficient manner. This methodology (widely applied in critical systems across medicine, scientific instrumentation, and industry [7]) enables rigorous evaluation under diverse operating conditions, shortening validation times and preventing delays in the deployment of the DUNE experiment. The DAPHNE boards operate with reference signals in the frequency range of approximately 62.5 MHz to 125 MHz, requiring careful characterization of their temporal and frequency-domain behavior.

This article presents progress in the design of one of the key subsystems of the electronic test bench for the DAPHNE boards: the signal-conversion and digitization subsystem. This subsystem is intended to evaluate the performance of the entire

Prepared for submission to JINST

Analysis and validation of the frequency response of DAPHNE boards using a test bench in the DUNE experiment

Juan Fajardo,[a,b] **Jerónimo López,**[b,c] **and Fabian Andres Castaño** [a,c,d,1]

[a] *Scientific Instrumentation and Microelectronics Research Group - GICM, Physics Institute, Exact and Natural Sciences Faculty, Universidad de Antioquia UdeA,*
Calle 70 No. 52-21, Medellín 050010, Colombia.

[b] *Master degree program, Engineering Faculty, Universidad de Antioquia UdeA,*
Calle 70 No. 52-21, Medellín 050010, Colombia.

[c] *Physics Institute, Exact and Natural Sciences Faculty, Universidad de Antioquia UdeA,*
Calle 70 No. 52-21, Medellín 050010, Colombia.

[d] *Bioinstrumentation and Clinical Engineering Research Group - GIBIC, Bioengineering Department, Engineering Faculty, Universidad de Antioquia UdeA,*
Calle 70 No. 52-21, Medellín 050010, Colombia.

E-mail: fabian.castano@udea.edu.co

Abstract: This work presents the development and evaluation of a signal conversion and digitization subsystem for the DAPHNE testbench in the DUNE experiment. The main objective was to determine an optimal integration window size that ensures high frequency measurement accuracy and stability while minimizing FPGA computation time. Thirty window configurations were tested across short, intermediate, and maximum ranges, generating approximately 600,000 samples per configuration acquired via Jupyter.Results show that windows shorter than 10 μs exhibit significant dispersion due to instantaneous fluctuations, whereas windows larger than 60 μs stabilize the estimated frequency around the nominal value of 62.5 MHz with a maximum relative error below 0.02 %. Likewise, the relative uncertainty decreases exponentially with increasing window size, reaching below 500 ppm for windows of 60 μs or more, demonstrating the method's effectiveness as a digital integrator filtering high-frequency jitter and random noise.These findings define an optimal integration window range that ensures reliable and efficient measurements, contributing to the precise validation of DAPHNE electronic systems and supporting the preparation of DUNE subsystems.

Keywords: Data acquisition circuits; Digital electronic circuits; Analogue electronic circuits; Neutrino detectors; Performance of High Energy Physics Detectors

[1] Corresponding author.

Stability Evaluation and Optimal Integration Time Determination for Frequency Measurement in the DAPHNE Test Bench

LATS2026 - 27th IEEE Latin - American Test Symposium

1st Juan Fajardo
GICM - *Master's in Engineering student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0007-7711-7759

2nd Jerónimo López
GICM - *Undergraduate Physics Student*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
https://orcid.org/0009-0003-1900-3172

3rd Fabian Andres Castaño
GICM - *Physics Institute*
Exact and Natural Sciences Faculty
Universidad de Antioquia
Medellín, Colombia
fabian.castano@udea.edu.co
https://orcid.org/0000-0001-8014-4773

***Abstract*—The DUNE experiment requires highly reliable and precise data-acquisition systems. This work describes the development of a signal-digitization subsystem for the DAPHNE test bench, a critical component within the experiment's data-acquisition chain. The system was implemented using FPGA-based HDL modules and evaluated through the statistical analysis of 30 measurement sets.**

A key contribution is the determination of an optimal integration window for frequency measurement. Using 30 datasets and 625 temporal windows per set, a trade-off analysis between accuracy and normalized uncertainty yielded an optimal value of $T_{\mathrm{opt}} = 96.3\ \mu\mathrm{s} \pm 1\ \mu\mathrm{s}$. This result, validated through outlier detection and bootstrap resampling, ensures errors below 0.02% and uncertainties under 500 ppm, confirming the temporal stability of the measurement chain.

The proposed methodology demonstrates precise, repeatable behavior and effective mitigation of jitter and noise. Overall, this development strengthens the reliability and metrological robustness of the DAPHNE test bench, supporting its integration into the DUNE data-acquisition workflow.

***Index Terms*—Data acquisition, Signal generators, Analog-digital integrated circuits, Neutrino sources, High energy physics instrumentation computing**

I. Introduction

Neutrino detection represents one of the major challenges in modern particle physics due to their weak interaction with matter, characterized by an effective cross section on the order of $10^{-45}\ \mathrm{m}^2$. In this context, the DUNE (Deep Underground Neutrino Experiment) project aims to advance the understanding of these fundamental particles [1]. Its far detector is composed of four modules based on liquid-argon time projection chambers (LArTPCs), capable of recording and reconstructing the signals generated by neutrino–argon interactions. DUNE has been recognized as a strategic priority by the U.S. Particle Physics Project Prioritization Panel (P5), whose 2023 report highlights the scientific importance of Phases I and II of the project [2], [3].

An essential component for the success of DUNE is the DAPHNE (Data Acquisition and Photon Detection Electronics) data-acquisition system, responsible for recording the pulses associated with neutrino interactions in liquid argon. Its performance is critical to ensuring the quality and reliability of the data used in scientific analyses [1], [4], [5]. To date, four versions of these boards have been developed, incorporating improvements in power-supply design, voltage stability, and high-frequency multi-channel digitization, culminating in version 4.0 [6].

Although the DAPHNE boards do not operate under extreme environmental conditions, the connected SiPM sensors can be exposed to significant variations. For this reason, continuous, stable operation with minimal human intervention is required [4]. In this context, the development of automated test benches becomes particularly relevant, as they enable precise, repeatable, and efficient validation of electronic systems. This approach—widely used in critical engineering, medical, and scientific instrumentation applications [7]—allows for rigorous verification under controlled conditions, reducing diagnostic times and preventing delays in the experiment's deployment. DAPHNE operates with reference signals in the range of $62.5\,\mathrm{MHz}$ to $125\,\mathrm{MHz}$, which demands detailed temporal characterization.

In this context, frequency verification plays a critical role, as the synchronization among the reference clocks, digitizers, and transmission links determines both the sampling accuracy and the overall stability of the acquisition chain. The clock distribution in DAPHNE can be affected by phenomena such as jitter, thermal drift, or phase variations, all of which directly compromise the fidelity of the recorded signals. Therefore, a dedicated subsystem for frequency measurement and validation is essential to ensure that the board maintains the temporal coherence required for reliable operation. This module enables the identification of instabilities, the assessment of the clock architecture's performance, and the preservation of the integrity of the digitization process.

This article presents the advancements in the design of one

DAPHNE card evaluation report – Test bench V1.0

Card: DAPHNE_V3_0001
Generated: 2025-12-12 03:50:04
Operator: Luciano Muñoz (ID: 001)
Position: technical

This report summarizes the **fixed voltage**, **variable voltage** (if present), and **clock frequency** measurements carried out on the DAPHNE board. Each channel was tested to verify its nominal value and stability. For every explored channel, the average value, standard deviation, pass/warning/fail status, user notes, and a representative signal sample are presented in the following sections.

General observations

During the test everything went very well.

Fixed Voltage Measurements

Below are the results for the selected fixed-voltage rails, shown in an integrated table together with operator notes and the corresponding measurement status.

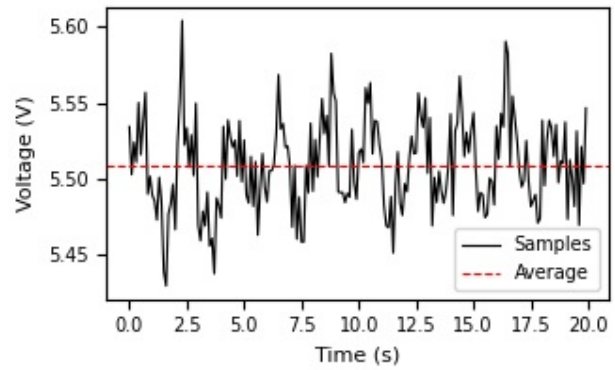
- **Nominal voltage**: Fixed DAPHNE board rail that powers specific subsystems. This column lists the set of rails that were actually measured in this test.
- **Notes**: Free text entered by the operator for each measurement (e.g. ambient temperature, cabling conditions, particular observations).
- **Average measured voltage**: For each rail a series of samples is acquired over a certain time window and their average value is reported.
- **Standard deviation**: Quantifies how spread the measured voltage samples are around the average value.
- **Status**: Overall quality flag for each rail (✔ Pass / ⚠ Warning / ✖ Fail). The thresholds are based on the relative error of the average and on the standard deviation: large dispersion reduces the effective precision percentage.
- **Graphical analysis**: The plots below show, for each measured rail, the time evolution of the acquired samples (X-axis: acquisition time, Y-axis: measured voltage). The red reference line indicates the nominal voltage, while the black trace shows the measured samples and their spread.

Table of measured signals:

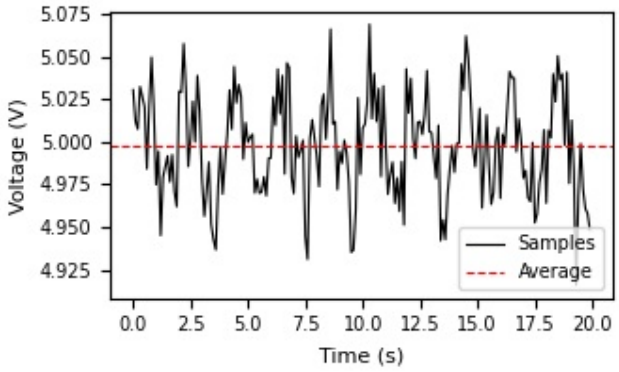
Voltage	Average	Std Dev	Status	Notes
5.50 V	5.509 V	0.030 V	✔	Everything is in order
5.00 V	4.998 V	0.029 V	✔	Everything is in order
3.60 V	3.599 V	0.029 V	✔	

Voltage	Average	Std Dev	Status	Notes
				Everything is in order
3.30 V	3.304 V	0.027 V	✔	Everything is in order

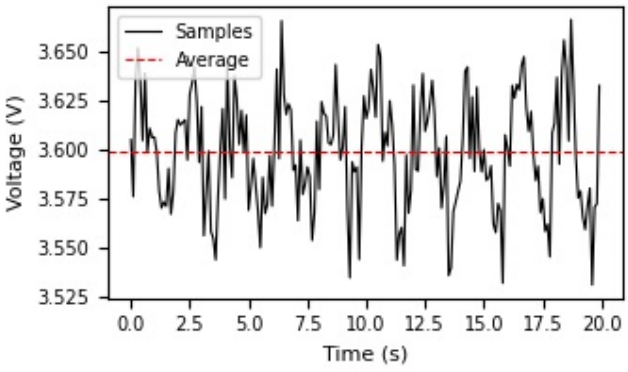
Graphical analysis of measured signals:



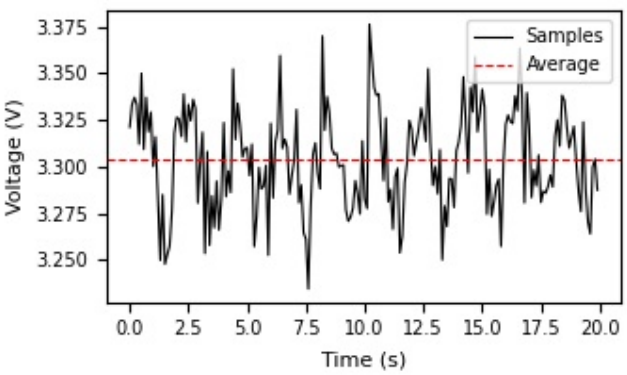
5.50 V



5.00 V



3.60 V



3.30 V

Variable Voltage Measurements

In addition to the fixed voltage rails, the DAPHNE board incorporates **14-bit DACs** that provide **programmable (variable) voltages** for fine adjustments in the analog front-end electronics (AFEs). These DAC outputs are used to configure **offsets**, **biasing**, and **baseline levels**, ensuring that each analog channel operates under optimal conditions.

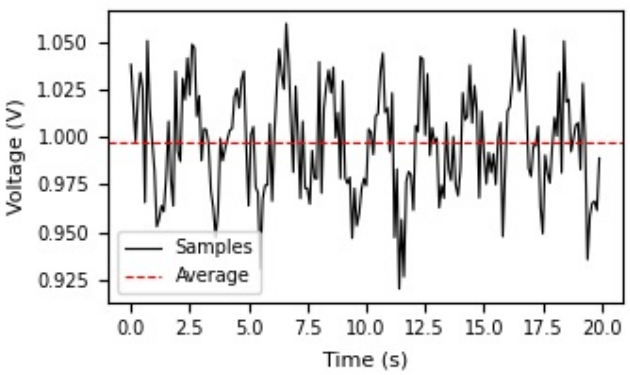
The available DAC channels include **VBias**, **OFFSET**, and **TrimDAC**. For each selected DAC, the target voltage set by the user is evaluated through a sample acquisition window to compute the **average**, **standard deviation**, and a global quality indicator.

The final status is reported as: ✔ Pass, ⚠ Warning (approaching tolerance limits), or ✖ Fail (outside acceptable range), based on the deviation from the programmed voltage and the dispersion of the measured samples.

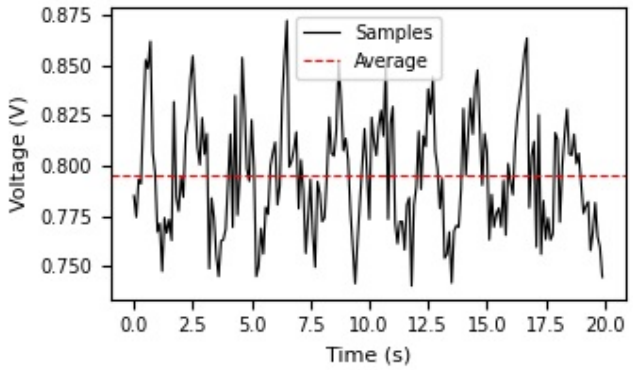
Table of measured signals:

Voltage (DAC – set)	Average	Std Dev	Status	Notes
VBias – 1.000 V	0.997 V	0.028 V	⚠	Everything is in order
OFFSET – 0.800 V	0.795 V	0.029 V	⚠	Everything is in order
TrimDAC – 1.500 V	1.512 V	0.030 V	⚠	Everything is in order

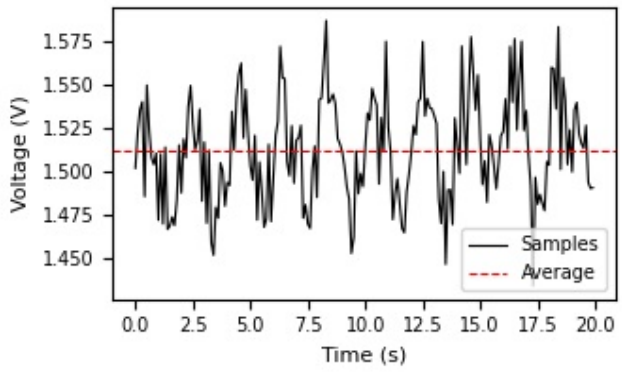
Graphical analysis of measured signals:



VBias – 1.000 V



OFFSET – 0.800 V



TrimDAC – 1.500 V

Clock Frequency Measurements

Below are the results for the selected clock signals of the DAPHNE board, presented in a summary table with the main statistical indicators and operator notes.

- **Frequency**: Nominal clock frequency used by the board for internal synchronization and data acquisition. This column lists the specific clocks that were measured in this session.
- **Notes**: Comments entered by the operator for each clock measurement (e.g. temperature, cabling or termination details, reference source, etc.).

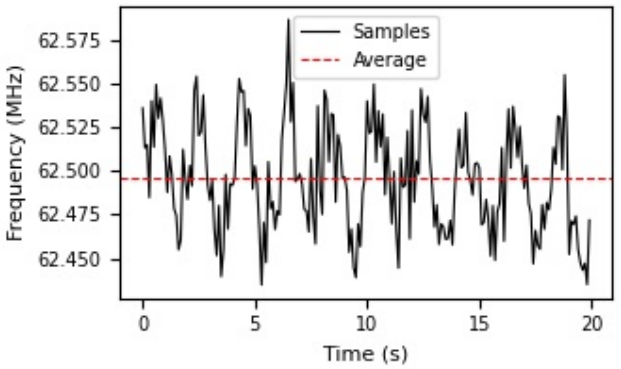
- **Average measured frequency**: For each clock a series of samples is taken over a given time window and their average value is reported.
- **Standard deviation**: Indicates how much the instantaneous frequency samples fluctuate around the average value (jitter / stability of the clock).
- **Status**: Global quality indicator for each clock (✔ Pass / ⚠ Warning / ✖ Fail). It is determined from the relative frequency error and from the dispersion of the samples: larger fluctuations or offsets lead to a degraded status.
- **Graphical analysis**: The plots below show the evolution of the measured clock samples (X-axis: acquisition time, Y-axis: measured frequency). The red line indicates the nominal frequency, while the black trace illustrates the measured samples and their spread over time.

Table of measured signals:

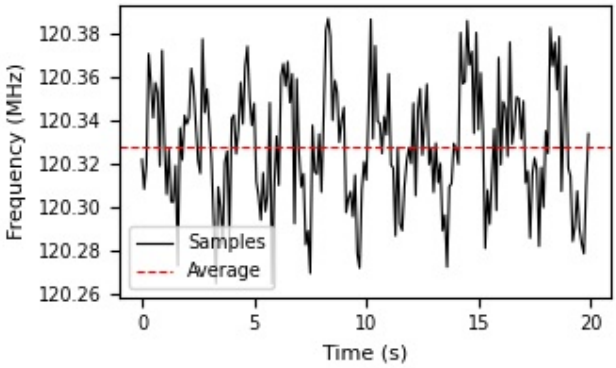
Frequency	Average	Std Dev	Status	Notes
62.500 MHz	62.496 MHz	0.030 MHz	✔	Everything is in order
120.327 MHz	120.328 MHz	0.028 MHz	✔	Everything is in order
125.000 MHz	124.992 MHz	0.029 MHz	✔	Everything is in order

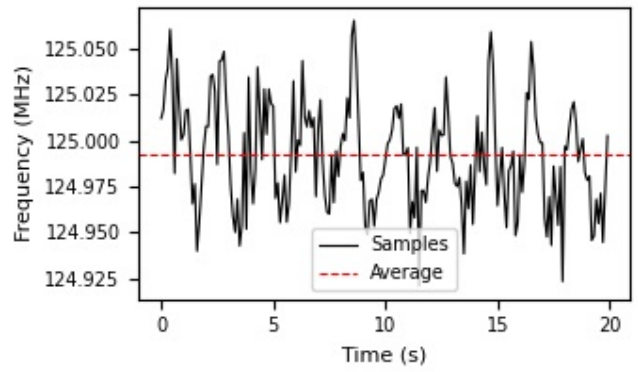
Graphical analysis of measured signals:

62.500 MHz



120.327 MHz




125.050
125.025
125.000
124.975
124.950
124.925
Frequency (MHz)
0
5
10
15
20
Time (s)
Samples
Average

125.000 MHz